

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年11月 7日
Date of Application:

出願番号 特願2003-378326
Application Number:

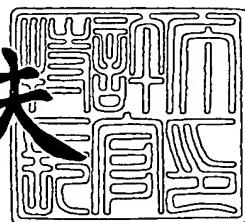
[ST. 10/C] : [JP 2003-378326]

出願人 富士通株式会社
Applicant(s):

2004年 2月 16日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 0340898
【提出日】 平成15年11月 7日
【あて先】 特許庁長官殿
【国際特許分類】 G11C 11/407
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社
内
【氏名】 佐藤 貴彦
【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社
【代理人】
【識別番号】 100090273
【弁理士】
【氏名又は名称】 國分 孝悦
【電話番号】 03-3590-8901
【手数料の表示】
【予納台帳番号】 035493
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9908504



【書類名】特許請求の範囲

【請求項1】

ゲート制御により入力されるデータを第1のバッファにバッファリングするためのデータ取り込みゲートと、

ゲート制御により前記第1のバッファのデータを入力して第2のバッファにバッファリングするためのデータ転送ゲートと、

ゲート制御により前記第2のバッファのデータをデータバスに出力するためのデータライトゲートと、

前記データバス上のデータをライトして記憶するためのメモリセルと、

データマスク信号によりマスクされると前記データバスを前記メモリセルに接続せず、データマスク信号によりマスク解除されると前記データバスを前記メモリセルに接続するためのセレクタと、

ライトイネーブル信号及びデータマスク信号に応じて、現サイクルで前記データ取り込みゲートを制御して前記第1のバッファにデータを入力し、次サイクルで前記データ転送ゲートを制御して前記第1のバッファのデータを前記第2のバッファに入力し前記データライトゲートを制御して前記第2のバッファのデータを前記データバスに出力する制御回路とを有し、

前記制御回路は、前記ライトイネーブル信号が活性化してから前記データマスク信号が変化するまでの間に応じて、そのサイクルにおいて、前記データ取り込みゲートの制御により前記第1のバッファにデータを入力せず、かつ前記データ転送ゲートの制御により前記第2のバッファにデータを入力するメモリ装置。

【請求項2】

前記制御回路は、前記サイクルにおいて、前記データ取り込みゲートの制御により前記第1のバッファにデータを入力せず、かつ前記データ転送ゲートの制御により前記第2のバッファにデータを入力し、かつ前記データライトゲートの制御により前記第2のバッファのデータを前記データバスに出力する請求項1記載のメモリ装置。

【請求項3】

前記制御回路は、前記サイクルにおいて、前記データ取り込みゲートの制御により前記第1のバッファにデータを入力せず、かつ前記データ転送ゲートの制御により前記第2のバッファにデータを入力し、かつ前記データライトゲートの制御により前記第2のバッファのデータを前記データバスに出力しない請求項1記載のメモリ装置。

【請求項4】

前記制御回路が、前記サイクルにおいて、前記データ取り込みゲートの制御により前記第1のバッファにデータを入力せず、かつ前記データ転送ゲートの制御により前記第2のバッファにデータを入力する時、前記セレクタは、その次のサイクルにおいて、前記データバスを前記メモリセルに接続しない請求項1記載のメモリ装置。

【請求項5】

前記制御回路は、前記データライトゲートの制御により前記第2のバッファのデータを前記データバスに出力するときは、常に、そのサイクル内でかつ前記データライトゲートの制御の前に、前記データ転送ゲートの制御により前記第2のバッファにデータを入力する請求項1記載のメモリ装置。

【請求項6】

前記制御回路は、前記ライトイネーブル信号が活性化してから前記データマスク信号が変化するまでの間に応じて、そのサイクルにおいて、前記データ転送ゲートの制御により前記第2のバッファにデータを入力し、かつ前記データライトゲートの制御により前記データバスにデータを出力しない請求項5記載のメモリ装置。

【請求項7】

前記ライトイネーブル信号及び前記データマスク信号に応じた第1の信号を生成し、その第1の信号が非活性化から活性化に変化する変化点を第1の遅延時間遅延させた信号を第1の遅延信号として出力するための第1のディレイ回路と、

前記第1の信号が非活性化から活性化に変化する変化点を前記第1の遅延時間よりも長い第2の遅延時間遅延させた信号を第2の遅延信号として出力するための第2のディレイ回路とを有し、

前記制御回路は、前記第1の遅延信号が非活性化から活性化へ変化する変化点において前記データ転送ゲートをパルス制御して前記第2のバッファにデータを入力し、前記第2の遅延信号が活性化から非活性化へ変化する変化点において前記データ取り込みゲートをパルス制御して前記第1のバッファにデータを入力する請求項1記載のメモリ装置。

【請求項8】

前記第1のディレイ回路は、前記ライトイネーブル信号が活性化しておりかつ前記データマスク信号がマスク解除である期間を活性化させる第1の信号を生成し、その第1の信号が非活性化から活性化に変化する変化点を第1の遅延時間遅延させた信号を第1の遅延信号として出力し、

前記第2のディレイ回路は、前記第1の信号が非活性化から活性化に変化する変化点を前記第1の遅延時間よりも長い第2の遅延時間遅延させた信号を第2の遅延信号として出力し、

前記制御回路は、前記第1の遅延信号が非活性化から活性化へ変化する変化点において前記データ転送ゲートをパルス制御して前記第2のバッファにデータを入力し、前記第2の遅延信号が活性化から非活性化へ変化する変化点において前記データ取り込みゲートをパルス制御して前記第1のバッファにデータを入力する請求項7記載のメモリ装置。

【請求項9】

前記制御回路は、前記ライトイネーブル信号の活性化期間が短いときには、そのサイクルにおいて、前記データ転送ゲートの制御により前記第2のバッファにデータを入力し、かつ前記データ取り込みゲートの制御により前記第1のバッファにデータを入力しない請求項1記載のメモリ装置。

【請求項10】

さらに、ゲート制御により入力されるデータマスク信号を第1のマスクバッファにバッファリングするためのマスク取り込みゲートと、

ゲート制御により前記第1のマスクバッファのデータマスク信号を入力して第2のマスクバッファにバッファリングするためのマスク転送ゲートと、

ゲート制御により前記第2のマスクバッファのデータマスク信号を前記セレクタに出力するためのマスクライトゲートとを有する請求項1記載のメモリ装置。

【書類名】明細書

【発明の名称】メモリ装置

【技術分野】

【0001】

本発明は、メモリ装置に関し、特にライトイネーブル信号及びデータマスク信号に応じてメモリセルにデータをライトするメモリ装置に関する。

【背景技術】

【0002】

メモリ装置には、ライトイネーブル信号及びデータマスク信号に応じてメモリセルにデータをライトするものがある。ライトイネーブル信号及びデータマスク信号に応じて、現サイクルでデータをバッファに取り込み、次サイクルでそのデータを転送してライトする。

【0003】

そのようなメモリ装置では、ライトの誤動作によるデータ誤書き込みを防止する必要がある。また、ライト動作の遅延を防止する必要がある。

【0004】

半導体記憶装置でライト動作をするかしないかというぎりぎりの状態で外部からのライト指示があった場合、(1)ライト動作をしない、(2)ライト動作を行い、データやマスク状態を正しく取り込む、のいずれかである必要がある。ライト動作を行う場合に遷移中の意図しないマスク情報を取り込んだり、データを取り込んでないのに前のデータを使って別のアドレスに書き込んでしまったりという誤書き込みは避けなければならない。ただライトコマンドを発生しにくくするという手段ではライト動作が遅くなり、ライトサイクルも遅くなる。

【0005】

【特許文献1】特開平11-7770号公報

【特許文献2】特開2003-7060号公報

【特許文献3】特開2001-351377号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明の目的は、ライト動作を遅らせることなくデータ破壊を防止することができるメモリ装置を提供することである。

【課題を解決するための手段】

【0007】

本発明の一観点によれば、ゲート制御により入力されるデータを第1のバッファにバッファリングするためのデータ取り込みゲートと、ゲート制御により第1のバッファのデータを入力して第2のバッファにバッファリングするためのデータ転送ゲートと、ゲート制御により第2のバッファのデータをデータバスに出力するためのデータライトゲートと、データバス上のデータをライトして記憶するためのメモリセルと、データマスク信号によりマスクされるとデータバスをメモリセルに接続せず、データマスク信号によりマスク解除されるとデータバスをメモリセルに接続するためのセレクタと、ライトイネーブル信号及びデータマスク信号に応じて、現サイクルでデータ取り込みゲートを制御して第1のバッファにデータを入力し、次サイクルでデータ転送ゲートを制御して第1のバッファのデータを第2のバッファに入力しデータライトゲートを制御して第2のバッファのデータをデータバスに出力する制御回路とを有するメモリ装置が提供される。制御回路は、ライトイネーブル信号が活性化してからデータマスク信号が変化するまでの間に応じて、そのサイクルにおいて、データ取り込みゲートの制御により第1のバッファにデータを入力せず、かつデータ転送ゲートの制御により第2のバッファにデータを入力する。

【発明の効果】

【0008】

ライトイネーブル信号が活性化してからデータマスク信号が変化する場合、その間に時間に応じて、データ取り込みゲートの制御により第1のバッファにデータを入力せず、かつデータ転送ゲートの制御により第2のバッファにデータを入力する。これにより、データ転送時間とデータ取り込み時間が一部重なって、現データを第2のバッファに入力しなければならない場合に、誤って次データがデータ取り込みゲート及びデータ転送ゲートを介して第2のバッファに入力されてしまうデータ破壊を防止できる。この場合、サイクル内でのライト動作を遅らせることなく、データ破壊を防止できる。

【発明を実施するための最良の形態】

【0009】

図1は、本発明の実施形態による半導体記憶装置（メモリ装置）の構成例を示すブロック図である。メモリコア120は、ワードラインセレクタ121、センスアンプセレクタ122、メモリセル123、センスアンプ124及びカラムラインセレクタ125を有する。

【0010】

アドレスADDは、アドレス入力回路101を介してアドレスデコーダ102に供給される。アドレスデコーダ102は、アドレスADDを基にデコードし、セレクタ121、122及び125に制御信号を出力する。

【0011】

セルフリフレッシュタイム103は、定期的にリフレッシュコマンドrefpzをアービタ104に出力する。チップイネーブル信号/CE1、アウトプットイネーブル信号/OE及びライトイネーブル信号/WEは、コマンド入力回路105を介してコマンドコントローラ106に供給される。上位バイトマスク信号/UBは、マスク解除により上位バイトを有効にし、マスクにより上位バイトを無効にする。下位バイトマスク信号/LBは、マスク解除により下位バイトを有効にし、マスクにより下位バイトを無効にする。コマンドコントローラ106は、信号/CE1, /OE, /WE, /UB, /LBを基に、リードコマンドrdpz又はライトコマンドwrpzをアービタ104に出力する。

【0012】

リードコマンドrdpzは、メモリセル123からデータをリードするためのコマンドである。ライトコマンドwrpzは、メモリセル123にデータをライトするためのコマンドである。リフレッシュコマンドrefpzは、メモリセル123をリフレッシュするためのコマンドである。

【0013】

リフレッシュは、DRAMの記憶が失われないように電荷を補充する動作である。半導体記憶装置の一種であるDRAMは、メモリセル123内にコンデンサを有し、コンデンサに電荷を蓄えることによってデータを保持する。この電荷は時間とともに減少するため、放っておくと一定時間で放電しきって情報を失ってしまう。これを防ぐため、DRAMには一定時間ごとに再び電荷を注入するリフレッシュ動作を行う必要がある。

【0014】

リフレッシュ中には、リード及びライトを行うことができない。逆に、リード又はライト中に、リフレッシュを行うことができない。したがって、リフレッシュ中に、リードコマンドrdpz又はライトコマンドwrpzが発生すると、リード又はライト動作は待機させられる。逆に、リード又はライト中に、リフレッシュコマンドrefpzが発生すると、リフレッシュ動作は待機させられる。アービタ104は、リフレッシュコマンドrefpz、リードコマンドrdpz及びライトコマンドwrpzを発生順に応じてタイミングコントローラ107に出力する。

【0015】

タイミングコントローラ107は、リフレッシュコマンドrefpz、リードコマンドrdpz及びライトコマンドwrpzに応じて、ワードラインセレクタ121、センスアンプセレクタ122及びカラムラインセレクタ125に制御信号mwlonz, msaez等を出力する。制御信号mwlonzはワードラインセレクタ121に供給され、制御

信号m s a e zはセンスアンプセレクタ122に供給される。

【0016】

上位バイトマスク信号／UB及び下位バイトマスク信号／LBは、バイトマスク入力回路108を介してバイトマスクコントローラ109に供給される。バイトマスクコントローラ109は、その信号に応じてカラムラインセレクタ125に制御信号を出力する。

【0017】

2次元配列されたメモリセル123は、ワードライン及びカラムラインにより特定される。ワードラインセレクタ121は、制御信号に応じて、ワードラインを選択して活性化する。カラムラインセレクタ125は、制御信号に応じて、カラムラインを選択する。ライトコマンドw r p zが発生すると、特定されたメモリセル123にデータをライトして記憶することができる。リードコマンドr d p zが発生すると、特定されたメモリセル123からデータをリードすることができる。メモリセル123は、リードコマンドr d p z又はライトコマンドw r p zに応じてデータアクセスされる。センスアンプセレクタ122は、制御信号に応じて、センスアンプ124を活性化する。センスアンプ124は、メモリセル123のビットライン上の信号（データ）を増幅する。

【0018】

リードコマンドr d p zが発生した場合、リードデータコントローラ112は、カラムラインセレクタ125を介してメモリセル123からデータをリードし、データI/O回路110を介して外部にデータDQを出力する。

【0019】

ライトコマンドw r p zが発生した場合、ライトデータコントローラ111は、データDQをデータI/O回路110を介して入力し、カラムラインセレクタ125を介してメモリセル123にデータをライトする。

【0020】

図2は、図1のバイトマスク入力回路108、バイトマスクコントローラ109、データI/O回路110、ライトデータコントローラ111及びカラムラインセレクタ125の構成例を示す。

【0021】

コマンドジェネレータ201は、ライトイネーブル信号／WEを基にライトコマンド信号w r p xを出力する。ライトコマンド信号w r p xは、ライトイネーブル信号／WEの立ち下がりを遅延させた時点で発生するパルス信号である。タイミングディレイ回路204は、ライトコマンド信号w r p xを遅延させてタイミング調整したライトコマンド信号b w r p zを出力する。

【0022】

マスク入力制御回路202は、データバイトマスク信号／UB, /LBを基に信号d m l p zを生成する。マスク入力回路205は、信号／LB, /UB, d m l p z, w r p x, b w r p zを基に信号d m x (／UB) 及びd m x (／LB) を出力する。マスク入力回路205の詳細は、後に図3 (B) を参照しながら説明する。カラムライン制御回路206は、信号d m x (／UB) 及びd m x (／LB) を基に信号c l z (／UB) 及びc l z (／LB) を出力する。

【0023】

データ入力制御回路203は、ライトイネーブル信号／WE及びデータバイトマスク信号／UB, /LBを基に上位バイト信号w d l u p z, p w d l u p z及び下位バイト信号w d l l p z, p w d l l p zを出力する。

【0024】

上位バイトデータ入力回路207Uは、信号／UB, p w d l u z p, w d l u p z, w d l l p z, b w r p zに応じて、上位バイトデータDQ (／UB) を入力して上位バイトデータc d b z (／UB) を出力する。下位バイトデータ入力回路207Lは、信号／LB, p w d l l z p, w d l u p z, w d l l p z, b w r p zに応じて、下位バイトデータDQ (／LB) を入力して下位バイトデータc d b z (／LB) を出力する。デ

ータ入力回路207U, 207Lの詳細は、後に図3 (A) を参照しながら説明する。

【0025】

上位バイトカラムライン選択回路208Uは、信号c1z (／UB) に応じて、データcdblz (／UB) を入力してビットライン信号b1 (／UB) 及び／b1 (／UB) を出力する。下位バイトカラムライン選択回路208Lは、信号c1z (／LB) に応じて、データcdblz (／LB) を入力してビットライン信号b1 (／LB) 及び／b1 (／LB) を出力する。具体的には、カラムライン選択回路208U, 208Lは、データバス(信号cdblz) とメモリセル124のビットライン(信号b1,／b1) とを選択的に接続する。

【0026】

図3 (A) は、図2のデータ入力回路207U及び207Lの構成例を示す。まず、上位バイトデータ入力回路207Uの構成例を説明する。データ取り込みゲート301Uは、信号p w d 1 u p z のゲート制御により、入力される上位バイトデータDQ (／UB) をバッファ302Uにバッファリングする。データ転送ゲート303Uは、信号w d l u p z 又はw d l l p z の論理和信号のゲート制御により、バッファ302Uのデータを入力してバッファ304Uにバッファリングする。データライトゲート305Uは、信号b w r p z のゲート制御により、バッファ304Uのデータをデータバスに信号cdblz (／UB) として出力する。

【0027】

次に、下位バイトデータ入力回路207Lの構成例を説明する。データ取り込みゲート301Lは、信号p w d l l p z のゲート制御により、入力される下位バイトデータDQ (／LB) をバッファ302Lにバッファリングする。データ転送ゲート303Lは、信号w d l u p z 又はw d l l p z の論理和信号のゲート制御により、バッファ302Lのデータを入力してバッファ304Lにバッファリングする。データライトゲート305Lは、信号b w r p z のゲート制御により、バッファ304Lのデータをデータバスに信号cdblz (／LB) として出力する。

【0028】

以下、データ取り込みゲート301U, 301Lを総称してデータ取り込みゲートGD1、データ転送ゲート303U, 303Lを総称してデータ転送ゲートGD2、データライトゲート305U, 305Lを総称してデータライトゲートGD3という。

【0029】

図3 (B) は、図2のマスク入力回路205の構成例を示す。まず、上位バイトマスク信号／UBの回路について説明する。マスク取り込みゲート311Uは、信号dmlpz のゲート制御により、入力される上位バイトマスク信号／UBをバッファ312Uにバッファリングする。マスク転送ゲート313Uは、信号bwrpz のゲート制御により、バッファ312Uのマスク信号を入力してバッファ314Uにバッファリングする。マスクライトゲート315Uは、信号wrpx のゲート制御により、バッファ314Uのマスク信号を信号dmx (／UB) として出力する。

【0030】

次に、下位バイトマスク信号／LBの回路について説明する。マスク取り込みゲート311Lは、信号dmlpz のゲート制御により、入力される下位バイトマスク信号／LBをバッファ312Lにバッファリングする。マスク転送ゲート313Lは、信号bwrpz のゲート制御により、バッファ312Lのマスク信号を入力してバッファ314Lにバッファリングする。マスクライトゲート315Lは、信号wrpx のゲート制御により、バッファ314Lのマスク信号を信号dmx (／LB) として出力する。

【0031】

以下、マスク取り込みゲート311U, 311Lを総称してマスク取り込みゲートGM1、マスク転送ゲート313U, 313Lを総称してマスク転送ゲートGM2、マスクライトゲート315U, 315Lを総称してマスクライトゲートGM3という。

【0032】

図4は、図2のデータ入力制御回路203及びデータ入力回路207Uの参考例による構成例を示す。図4は、上位バイトの回路の構成を示すが、下位バイトの回路の構成も同様である。図5は、図4の回路の動作を説明するためのタイミングチャートである。図5において、ライトのサイクルC1及びサイクルC2は、アドレスADD(図1)の切り替えに応じて決まる。第1のサイクルC1は第1のライト動作WR1のサイクル、第2のサイクルC2は第2のライト動作WR2のサイクルである。

【0033】

CDINBUF回路401は、データDQ(／UB)をバッファリングしてデータDQ1を出力する。CDINLAT回路402は、信号wd1uzの制御に応じて、データDQ1を入力し、セットアップ／ホールドのタイミング調整してデータDQ2を出力する。

【0034】

CWDLGEN(／UB)回路403は、ライトイネーブル信号／WE、チップイネーブル信号／CE1及び上位バイトマスク信号／UBを入力し、信号wd1uzを出力する。具体的には、CWDLGEN(／UB)回路403は、チップイネーブル信号／CE1及びライトイネーブル信号／WEが活性化(ローレベル)しておりかつ上位バイトマスク信号／UBがマスク解除(ローレベル)である期間を活性化(ローレベル)させる第1の信号(破線で示す信号wd1uz)を生成し、その第1の信号が非活性化(ハイレベル)から活性化(ローレベル)に変化する変化点を遅延させた信号を第1の遅延信号wd1uzとして出力する。

【0035】

CWDLPGEN(／UB)回路404は、信号wd1uzを入力し、信号pwd1upz及びwd1upzを出力する。信号wd1upzは、信号wd1uzがハイレベルからローレベルに変化する変化点においてパルスが生成されるデータ転送ゲートパルス信号である。信号pwd1upzは、信号wd1uzがローレベルからハイレベルへ変化する変化点においてパルスが生成されるデータ取り込みゲートパルス信号である。

【0036】

CWDBSW回路405は、図3(A)の回路に対応し、信号bwrpz, pwd1upz, wd1upz, wd1lpzの制御に応じて、データDQ2を入力し、データcdbzを出力する。信号bwrpzは、ライトイネーブル信号／WEの立ち下がり点を遅延させた点でパルスが生成される。図3(A)に示すように、データ取り込みゲートGD1は、信号pwd1upzのゲート制御に応じて、データDQ2をバッファ302Uに入力する。データ転送ゲートGD2は、信号wd1upz及びwd1lpzの論理和信号のゲート制御に応じて、バッファ304Uにデータを入力する。データライトゲートGD3は、信号bwrpzの制御に応じて、バッファ304Uのデータをデータバスに出力する。

【0037】

以上のように、CDINBUF回路401で入力データDQ(／UB)のハイレベル／ローレベル判定を行い、CDINLAT回路402でセットアップ／ホールドのタイミング調整を行い、CWDBSW回路405でデータバスへのデータ転送を行う。CWDBSW回路405では、信号pwd1upzで上位バイトデータDQ2をバッファ302Uに取り込み、信号wd1upz又はwd1lpzでバッファ304Uへデータの転送を行う。データバスへのデータ転送は、データライトの実行時に信号bwrpzでデータバスに転送することでタイミング調整を行っている。これらの取り込み及び転送制御を行っているのがCWDLGEN回路403及びCWDLPGEN回路404であり、CWDLGEN回路403でライト動作を行うべきか、ライトせずに待つかを判定するためのフィルタを構成しており、その出力信号wd1uzの立ち下がり及び立ち上がりそれぞれのエッジからデータ転送パルス信号wd1upz及びデータ取り込みパルス信号pwd1upzを生成している。このため、ライト動作をしない場合にデータの取り込みでデータ破壊を行わないようにするとデータの転送もされなくなるので、ライト動作の実行の有無の境界とデータの取り込み及びデータ転送の有無を高精度に調整する必要がある。

【0038】

本来であれば、ライトイネーブル信号／WEが立ち下がる以前に、バイトマスク信号／UB, ／LBが変化して確定している必要がある。しかし、電源電圧のばらつき変動や素子のばらつき変動等により、図5に示すように、バイトマスク信号／UB, ／LBの変化がライトイネーブル信号／WEの立ち下がりよりも遅れてしまうことがある。この場合に、誤動作が生じないように制御する必要がある。

【0039】

正常な場合には、ライトイネーブル信号／WEの立ち下がりとバイトマスク信号／UB, ／LBの変化点が同じである。この場合は、例えば、サイクルC1において、データ取り込みゲート信号p w d l u p zによりバッファ302Uにデータを取り込む。そして、その次のサイクルC2において、データ転送信号w d l u p z又はw d l l p zによりそのデータをバッファ304Uに転送し、かつその後のデータライト信号b w r p zによりそのデータをデータバスに出力してメモリセルにライトする。これがライトサイクルである。

【0040】

バイトマスク信号／UB, ／LBの切り替えがライトイネーブル信号／WEの立ち下がりより遅れてしまったような場合、ライトの初期にマスクすべきバイト（例えば下位バイト）へのライト状態が回路内部に発生してしまう。そのため、本来はライトWR1で下位バイトマスク信号／LBの立ち上がり時点のデータを取り込んではいけないが、現サイクルC1において、データ取り込みゲート信号p w d l l p zのパルス501で下位バイトデータDQ（／LB）を取り込んでしまい、次サイクルC2において、データ転送ゲート信号w d l l p zのパルス502でデータを転送し、データライトゲート信号b w r p zのパルス503でデータバスへデータが出力されてしまう。パルス503以降でライト動作を行ってメモリセルにデータを書き込んでしまうため、データが破壊される。すなわち、パルス501の時点では、下位バイトデータDQ（／LB）が供給されていないので、パルス501により取り込んだデータは不定（不正）データである。そのデータをメモリセルを書き込んでしまうために、データ破壊が生じる。下記の本実施形態では、上記の問題点を解決することができる。

【0041】

図6は、図2のデータ入力制御回路203及びデータ入力回路207Uの本実施形態による構成例を示す。図6は、上位バイトの回路の構成を示すが、下位バイトの回路の構成も同様である。図7は、図6の回路の動作を説明するためのタイミングチャートである。図7において、ライトのサイクルC1及びサイクルC2は、アドレスADD（図1）の切り替えに応じて決まる。第1のサイクルC1は第1のライト動作WR1のサイクル、第2のサイクルC2は第2のライト動作WR2のサイクルである。

【0042】

図6の回路が図4の回路に比べて異なる点を説明する。CWDLGEN（／UB）回路603及びCWDLPGEN（／UB）回路604は、図4のCWDLGEN回路（／UB）403及びCWDLPGEN（／UB）回路404の代わりに設けられる。

【0043】

CWDLGEN（／UB）回路603は、ライトイネーブル信号／WE、チップイネーブル信号／CE1及び上位バイトマスク信号／UBを入力し、信号w d l u z及びp w d l u zを出力する。具体的には、CWDLGEN（／UB）回路603は、チップイネーブル信号／CE1及びライトイネーブル信号／WEが活性化（ローレベル）しておりかつ上位バイトマスク信号／UBがマスク解除（ローレベル）である期間を活性化（ローレベル）させる第1の信号（破線で示す信号w d l u z）を生成し、その第1の信号が非活性化（ハイレベル）から活性化（ローレベル）に変化する変化点を第1の遅延時間遅延させた信号を第1の遅延信号w d l u zとして出力する。また、CWDLGEN（／UB）回路603は、上記の第1の信号（破線で示す信号p w d l u z）が非活性化（ハイレベル）から活性化（ローレベル）に変化する変化点を上記第1の遅延時間より長い第2の遅延時間遅延させた信号を第2の遅延信号p w d l u zとして出力する。

【0044】

CWDLPGEN (／UB) 回路604は、信号w d l u z 及びp w d l u z を入力し、信号p w d l u p z 及びw d l u p z を出力する。信号w d l u p z は、信号w d l u z がハイレベルからローレベルに変化する変化点においてパルスが生成されるデータ転送ゲートパルス信号である。信号p w d l u p z は、信号p w d l u z がローレベルからハイレベルへ変化する変化点においてパルスが生成されるデータ取り込みゲートパルス信号である。

【0045】

本実施形態では、CWDLGEN回路603のフィルタをデータ取り込み信号とデータ転送信号で個別に用意する。そのため、データの転送（信号w d l l p z ）を行うがデータの取り込み（信号p w d l l p z ）を行わないという状態を実現することができる。このため、図4及び図5の参考例のように次データがデータバスへスルーしてしまいデータ破壊が発生するという現象を防止することができる。その詳細は、後に図8 (A) ~ (C) を参照しながら説明する。

【0046】

図7において、サイクルC1では、下位バイトマスク信号がハイレベル（マスク状態）であり、下位バイトデータDQ (／LB) が供給されていない。下位バイトデータ取り込みパルス701が発生しないので、不定（不正）データを取り込んでメモリセルにライトすることを防止できる。具体的には、次のサイクルC2でデータ転送パルス702及びデータライトパルス703が発生し、データバスに前のデータが供給されるが、下位バイトマスク信号／LBがハイレベルとしてカラムライン選択回路208L（図2）に供給されているので、データバスはメモリセルに接続されない。結果的に、メモリセルへのライトは行われず、データ破壊は生じない。

【0047】

そして、下位バイト取り込みゲート信号p w d l l p z は、サイクルC2において、パルスが発生し、下位バイトデータDQ (／LB) が取り込まれる。そして、さらに次のサイクルにおいて、そのデータがデータ転送ゲート信号により転送され、データライトゲート信号によりデータバスに供給される。そして、下位バイトマスク信号／LBがローレベルとしてカラムライン選択回路208L（図2）に供給され、データバスはメモリセルに接続される。結果的に、メモリセルへ正常なデータをライトすることができる。

【0048】

以上のように、サイクルC2において、下位バイトのデータ転送が行われ、マスク信号のハイレベルが取り込めばデータバスはメモリセルに接続されずにデータを実際にメモリセルに書き込むことはないのでデータ破壊が生じない。そのため、ライトコマンドの発生自体の制限を緩くしてもデータ破壊を起こさず、ライトサイクル動作の鈍化を防止することが可能である。

【0049】

このように、マスク取り込み、データ取り込み、データライト、データ転送の優先順位を適切なものとすることによってライトコマンドが発生してもデータ破壊が発生しないため、ライト動作の遅延を防止することができる。

【0050】

図8 (A) ~ (C) は、ライト動作例を示す。サイクル毎に、ライト動作WR0, WR1, WR2が順に行われる例を説明する。

【0051】

図8 (A) は、基本のライト動作例を示す。ライトイネーブル信号／WEにおいて、ライト動作WR1及びWR2のローレベル期間が十分に長い場合の正常動作を示す。

【0052】

ライトイネーブル信号／WEがライト動作WR1のために立ち下がると、ライト動作WR0のデータ転送GD2 [0] が行われ、ライト動作WR1のマスク取り込みGM1 [1] が行われる。次に、ライト動作WR0のマスクライトGM3 [0] が行われる。次に、

ライト動作WR0のデータライトGD3[0]が行われ、ライト動作WR1のマスク転送GM2[1]が行われる。その後、ライト動作WR0のライトコマンドWR[0]によりメモリセルにデータがライトされる。また、ライトイネーブル信号/WEが立ち上がりと、ライト動作WR1のデータ取り込みGD1[1]が行われる。

【0053】

次に、ライトイネーブル信号/WEがライト動作WR2のために立ち下がると、ライト動作WR1のデータ転送GD2[1]が行われ、ライト動作WR2のマスク取り込みGM1[2]が行われる。次に、ライト動作WR1のマスクライトGM3[1]が行われる。次に、ライト動作WR1のデータライトGD3[1]が行われ、ライト動作WR2のマスク転送GM2[2]が行われる。その後、ライト動作WR1のライトコマンドWR[1]によりメモリセルにデータがライトされる。また、ライトイネーブル信号/WEが立ち上ると、ライト動作WR2のデータ取り込みGD1[2]が行われる。

【0054】

図8(B)は、図4の参考例のメモリ装置のライト動作例を示す。ライトイネーブル信号/WEにおいて、ライト動作WR1のローレベル期間が短い場合の誤動作を示す。この場合、ライトイネーブル信号/WEがライト動作WR1のために立ち下がると、ライト動作WR0のデータ転送GD2[0]が行われ、それに重なるようにライト動作WR1のデータ取り込みGD1[1]が行われる。データ転送ゲート信号wd1upzのパルスとデータ取り込みゲート信号pwd1upzのパルスとが時間的に一部重なってしまい、図3(A)のデータ転送ゲートGD2及びデータ取り込みゲートGD1が同時に開いてしまう。その結果、バッファ304Uには、本来ライト動作WR0のデータが格納されなければならないのに、エラーによりライト動作WR1のデータが格納されてしまう。そして、次のデータライトGD3[0]及びライトコマンドWR[0]では、そのライト動作WR1のデータがメモリセルにライトされてしまい、誤動作になる。これは、図5において、データ転送ゲート信号wd1upz及びデータ取り込みゲート信号pwd1upzが共に同じ信号wd1uzの立ち下がり及び立ち上がりを基に生成されるためである。すなわち、データ転送ゲート信号wd1upzのパルスが生成されたときには、必ずデータ取り込みゲート信号pwd1upzのパルスも生成されてしまい、ライトイネーブル信号/WEのローレベル期間が短くなると、その両者のパルスが重なってしまうためである。

【0055】

図8(C)は、図6の本実施形態のメモリ装置のライト動作例を示す。ライトイネーブル信号/WEにおいて、ライト動作WR1のローレベル期間が短い場合に誤動作を防止できることを説明する。この場合、ライトイネーブル信号/WEがライト動作WR1のために立ち下がると、ライト動作WR0のデータ転送GD2[0]が行われる。しかし、ライトイネーブル信号/WEのローレベル期間が短いためにライト動作WR1のデータ取り込みGD1[1]が行われない。すなわち、ライトイネーブル信号/WEのローレベル期間が短い場合には、図7において、遅延時間が短い信号wd1uzはローレベル期間が生じ、遅延時間が長い信号pwd1uzはローレベル期間が生じない。その結果、データ転送ゲート信号wd1upzのパルスが発生してデータ転送GD2[0]を行い、データ取り込みゲート信号pwd1upzのパルスが発生せずにデータ取り込みGD1[1]が行われない。これにより、データ転送ゲートGD2が開き、データ取り込みゲートGD1が閉じるので、バッファ304Uにはライト動作WR0の正常なデータが格納され、データライトGD3[0]及びライトコマンドWR[0]によりそのデータがメモリセルに書き込まれ、正常な動作が保証される。

【0056】

図9は、tBSスペック及びtBWスペックを説明するための図である。上記のように、ライトイネーブル信号/WEの立ち下がり時又はそれよりも前にバイトマスク信号/UB及び/LBが変化して確定していれば、正常なライト動作が行われる。ライトイネーブル信号/WEの立ち下がりの後にバイトマスク信号/UB, /LBが変化したときには、誤動作を防止する必要がある。この際、時間tBS[0]は、ライトイネーブル信号/W

Eが活性化（ローレベル）してからバイトマスク信号／UB, /LBが変化するまでの間の負の時間である。時間tBW[1]は、バイトマスク信号／UB, /LBが変化してからライトイネーブル信号／WEが非活性化（ハイレベル）するまでの間の時間である。

【0057】

図10(A)及び(B)は、図4の参考例のメモリ装置の動作モードを示す。データ転送GD2及びデータ取り込みGD1は、両方行うか又は両方行わないかである。横軸は時間tBS[n s]を示し、0よりも左側が負値を示す。

【0058】

図10(A)は、データライトGD3をデータ転送GD2及びデータ取り込みGD1よりも優先させる場合を示す。動作モード1、2a、3a、4、5の順に、時間tBS(負値)が小さくなる。

【0059】

動作モード1では、そのサイクルにおいて、データライトGD3、データ転送GD2及びデータ取り込みGD1を行わず、マスク取り込みGM1はマスク信号／UBとしてハイレベルを取り込む。この結果、メモリセルへの書き込みは行なわれず、誤動作（データ破壊）はない。

【0060】

動作モード2aでは、そのサイクルにおいて、データライトGD3を行い、データ転送GD2及びデータ取り込みGD1を行わず、マスク取り込みGM1はマスク信号／UBとしてハイレベルを取り込む。この際、データ転送GD2が行われずに、データライトGD3が行われるため、正しいデータがメモリセルに書き込まれず、データ破壊が生じることがある。

【0061】

動作モード3aでは、そのサイクルにおいて、データライトGD3、データ転送GD2及びデータ取り込みGD1を行い、マスク取り込みGM1はマスク信号／UBとしてハイレベルを取り込む。この際、図8(B)のように、データ転送GD2及びデータ取り込みGD1が時間的に重なることがあり、誤ったデータをメモリセルにライトしてしまい、データ破壊してしまうことがある。

【0062】

動作モード4では、そのサイクルにおいて、データライトGD3、データ転送GD2及びデータ取り込みGD1を行い、マスク取り込みGM1はマスク信号／UBとして不定値を取り込む。マスク信号／UBとして不定値が取り込まれるので、正しいマスク制御（カラムライン選択）が保証されず、データ破壊が生じることがある。動作モード4は、マスク信号／UBのハイレベル（動作モード1～3a）とローレベル（動作モード5）の境界であるので、マスク信号／UBが不定値になる。

【0063】

動作モード5では、そのサイクルにおいて、データライトGD3、データ転送GD2及びデータ取り込みGD1を行い、マスク取り込みGM1はマスク信号／UBとしてローレベルを取り込む。この場合は、正常なライト動作が行われる。

【0064】

図10(B)は、データ転送GD2及びデータ取り込みGD1をデータライトGD3よりも優先させる場合を示す。動作モード1、2b、3b、4、5の順に、時間tBS(負値)が小さくなる。動作モード1、4及び5は、図10(A)のものと同じである。また、動作モード3bは、図10(A)の動作モード3aと同様のデータ破壊の可能性がある。

【0065】

動作モード2bでは、そのサイクルにおいて、データライトGD3を行わず、データ転送GD2及びデータ取り込みGD1を行い、マスク取り込みGM1はマスク信号／UBとしてハイレベルを取り込む。この際、データ取り込みGD1及びデータ転送GD2が行われ、データライトGD3が行われないため、バッファ304Uにデータが上書きされてしま

まい、データ破壊が生じことがある。

【0066】

図11は、図12～図15、図17及び図18を説明するためのライト動作例を示す。ライトイネーブル信号／WEは、ライト動作WR1、WR2及びWR3の順にローレベル期間が生じる。この間、マスク信号／LBはハイレベルであるとする。ライト動作WR1では、マスク信号／UBとしてM1、データDQとしてD1が供給される。ライト動作WR2では、マスク信号／UBとしてM2、データDQとしてD2が供給される。ライト動作WR3では、マスク信号／UBとしてM3、データDQとしてD3が供給される。

【0067】

図12は、動作モード5のデータ制御及びマスク制御例を示す。ライトイネーブル信号／WE（ライト動作WR1～WR3）のローレベル期間が十分に長い場合を示す。

【0068】

ライトイネーブル信号／WEの立ち下がりによりライト動作WR1が指示されると、データ転送ゲートGD2のスイッチが閉じデータD0がバッファ304Uに格納され、マスク取り込みゲートGM1のスイッチが閉じマスク信号M1がバッファ312Uに格納される。次に、データライトゲートGD3のスイッチが閉じデータD0がデータバスに出力され、マスクライトゲートGM3のスイッチが閉じマスク信号M0が出力される。次に、マスク転送ゲートGM2のスイッチが閉じマスク信号M1がバッファ314Uに格納される。次に、データ取り込みゲートGD1のスイッチが閉じデータD1がバッファ302Uに格納される。ライト動作WR0（データD0）は、正常に行われる。

【0069】

ライトイネーブル信号／WEの立ち下がりによりライト動作WR2が指示されると、データ転送ゲートGD2のスイッチが閉じデータD1がバッファ304Uに格納され、マスク取り込みゲートGM1のスイッチが閉じマスク信号M2がバッファ312Uに格納される。次に、データライトゲートGD3のスイッチが閉じデータD1がデータバスに出力され、マスクライトゲートGM3のスイッチが閉じマスク信号M1が出力される。次に、マスク転送ゲートGM2のスイッチが閉じマスク信号M2がバッファ314Uに格納される。次に、データ取り込みゲートGD1のスイッチが閉じデータD2がバッファ302Uに格納される。ライト動作WR1（データD1）は、正常に行われる。

【0070】

ライトイネーブル信号／WEの立ち下がりによりライト動作WR3が指示されると、データ転送ゲートGD2のスイッチが閉じデータD2がバッファ304Uに格納され、マスク取り込みゲートGM1のスイッチが閉じマスク信号M3がバッファ312Uに格納される。次に、データライトゲートGD3のスイッチが閉じデータD2がデータバスに出力され、マスクライトゲートGM3のスイッチが閉じマスク信号M2が出力される。次に、マスク転送ゲートGM2のスイッチが閉じマスク信号M3がバッファ314Uに格納される。次に、データ取り込みゲートGD1のスイッチが閉じデータD3がバッファ302Uに格納される。ライト動作WR2（データD2）は、正常に行われる。

【0071】

図13は、動作モード1のデータ制御及びマスク制御例を示す。基本的には、図12と同じであり、異なる点を説明する。ライトイネーブル信号／WE（ライト動作WR2）のローレベル期間が短い場合を示す。

【0072】

ライトイネーブル信号／WEの立ち下がりによりライト動作WR2が指示されると、データ転送ゲートGD2のスイッチが開いたままで、マスク取り込みゲートGM1のスイッチが閉じマスク信号M2がバッファ312Uに格納される。次に、データライトゲートGD3のスイッチが開いたままで、マスクライトゲートGM3のスイッチが開いたままである。次に、マスク転送ゲートGM2のスイッチが開いたままである。次に、データ取り込みゲートGD1のスイッチが開いたままである。このサイクルではライト動作WR1（データD1）が行われず、次のサイクルでライト動作WR1（データD1）が行われる。

【0073】

図14は、動作モード2aのデータ制御及びマスク制御例を示す。基本的には、図12と同じであり、異なる点を説明する。ライトイネーブル信号/WE(ライト動作WR2)のローレベル期間が中間値付近の場合を示す。

【0074】

ライトイネーブル信号/WEの立ち下がりによりライト動作WR2が指示されると、データ転送ゲートGD2のスイッチが開いたままで、マスク取り込みゲートGM1のスイッチが閉じマスク信号M2がバッファ312Uに格納される。次に、データライトゲートGD3のスイッチが閉じデータD0がデータバスに出力され、マスクライトゲートGM3のスイッチが閉じマスク信号M1が出力される。次に、マスク転送ゲートGM2のスイッチが閉じマスク信号M2がバッファ314Uに格納される。次に、データ取り込みゲートGD1のスイッチが開いたままである。

【0075】

このサイクルでは、誤ったデータD0をマスク信号M1でライトし、データ破壊が生じる。この次のサイクルでは、マスク信号がハイレベルであり、データD1のデータバスがメモリセルに接続されないので、メモリセルへのライトは行われない。したがって、データD1のライトが実行されず、データが破壊される。

【0076】

図15は、動作モード2bのデータ制御及びマスク制御例を示す。基本的には、図12と同じであり、異なる点を説明する。ライトイネーブル信号/WE(ライト動作WR2)のローレベル期間が中間値付近の場合を示す。

【0077】

ライトイネーブル信号/WEの立ち下がりによりライト動作WR2が指示されると、データ転送ゲートGD2のスイッチが閉じデータD1がバッファ304Uに格納され、マスク取り込みゲートGM1のスイッチが閉じマスク信号M2がバッファ312Uに格納される。次に、データライトゲートGD3のスイッチが開いたままで、マスクライトゲートGM3のスイッチが閉じたままである。次に、マスク転送ゲートGM2のスイッチが開いたままである。次に、データ取り込みゲートGD1のスイッチが閉じデータD2がバッファ302Uに格納される。

【0078】

このサイクルでは、データライトゲートGD3のスイッチが開いたままで、データD0が更新され、新たなデータ書き込みは行われない。次のサイクルでは、データD2がメモリセルに書き込まれる。この結果、ライト動作WR1(データD1)がスキップされたことになり、データ破壊が生じる。

【0079】

以上のように、図10(A)において、データライトGD3が開始する動作モード2aの状態ではデータ転送GD2が行われないのでデータが破壊される。動作モード3aの領域では、動作モード2aと3aの境界でデータ取り込みパルスとデータ転送パルスが同時に発生することで次サイクルのデータがスルーしてしまい、バッファ304Uのデータを破壊する。動作モード4では、マスク取り込みGM1が不安定で意図したライト動作が実現できない。動作モード5ではマスク取り込みGM1、データ取り込みGD1、データ転送GD2が正常に実行でき、意図したライト動作が実行される。

【0080】

図16は、図6の本実施形態のメモリ装置の動作モードを示す。データ取り込みGD1、データライトGD3及びデータ転送GD2の順に、発生優先度が高くなっていく。横軸は時間tBS[n s]を示し、0よりも左側が負値を示す。動作モード1、2c、2d、3、4、5の順に、時間tBS(負値)が小さくなる。動作モード1、3、4及び5は、図10(A)のものと同じである。

【0081】

動作モード2cでは、そのサイクルにおいて、データ転送GD2を行い、データライト

GD3 及びデータ取り込みGD1を行わず、マスク取り込みGM1はマスク信号／UBとしてハイレベルを取り込む。この詳細は、後に図17を参照しながら説明する。

【0082】

動作モード2dでは、そのサイクルにおいて、データライトGD3及びデータ転送GD2を行い、データ取り込みGD1を行わず、マスク取り込みGM1はマスク信号／UBとしてハイレベルを取り込む。この詳細は、後に図18を参照しながら説明する。

【0083】

動作モード3では、図8（B）のように、データ転送GD2[0]及びデータ取り込みGD1[1]が重なってデータ破壊することはない。その場合は、図8（C）に示すように、データ取り込みGD1[1]が発生せず、動作モード2dとなる。動作モード3では、データ転送GD2[0]及びデータ取り込みGD1[1]が重ならないで実行されるので、データ破壊は生じない。

【0084】

図17は、動作モード2cのデータ制御及びマスク制御例を示す。基本的には、図12と同じであり、異なる点を説明する。ライトイネーブル信号／WE（ライト動作WR2）のローレベル期間が中間値付近の場合を示す。

【0085】

ライトイネーブル信号／WEの立ち下がりによりライト動作WR2が指示されると、データ転送ゲートGD2のスイッチが閉じデータD1がバッファ304Uに格納され、マスク取り込みゲートGM1のスイッチが閉じマスク信号M2がバッファ312Uに格納される。次に、データライトゲートGD3のスイッチが開いたままで、マスクライトゲートGM3のスイッチが開いたままである。次に、マスク転送ゲートGM2のスイッチが開いたままである。次に、データ取り込みゲートGD1のスイッチが開いたままである。このサイクルではライト動作WR1（データD1）が行われず、次のサイクルでライト動作WR1（データD1）が行われる。

【0086】

図18は、動作モード2dのデータ制御及びマスク制御例を示す。基本的には、図12と同じであり、異なる点を説明する。ライトイネーブル信号／WE（ライト動作WR2）のローレベル期間が中間値付近の場合を示す。

【0087】

ライトイネーブル信号／WEの立ち下がりによりライト動作WR2が指示されると、データ転送ゲートGD2のスイッチが閉じデータD1がバッファ304Uに格納され、マスク取り込みゲートGM1のスイッチが閉じマスク信号M2がバッファ312Uに格納される。次に、データライトゲートGD3のスイッチが閉じデータD1がデータバスに出力され、マスクライトゲートGM3のスイッチが閉じマスク信号M1が出力される。次に、マスク転送ゲートGM2のスイッチが閉じマスク信号M2がバッファ314Uに格納される。次に、データ取り込みゲートGD1のスイッチが開いたままである。

【0088】

このサイクルでは、ライト動作WR1（データD1）は、正常に行われる。次のサイクルでは、マスク信号がハイレベルになり、データバス及びメモリセルが接続されないので、データD1はメモリセルにライトされない。結果として、データD0及びD1を正常にライトすることができる。

【0089】

以上のように、本実施形態において、動作モード1は、データライトGD3を行わず、データ転送GD2も行わない。動作モード2cは、データライトGD3は行わないが、次のライトに備えてデータ転送GD2を行う。動作モード2dは、マスク信号がハイレベルでライトコマンドは認識するが実際の書き込みは行わない。その際、ライトマスク信号の立ち上がり時のデータは取り込まない。動作モード3は、マスク信号がハイレベルでライトコマンドは認識するが実際の書き込みは行わない。その際、ライトマスク信号の立ち上がり時のデータは取り込む。動作モード4は、不定値のマスク信号の誤取り込みでライト

動作を行うためにデータ破壊が生じる。動作モード5は、バイトマスク信号のローレベルに対応するデータを取り込み、ライト動作を実行する。

【0090】

データ破壊を行うのは動作モード4であるが、電源電圧変動等によりタイミングが変動することにより、マスク取り込みGM1のタイミングが変動する。そのため、条件によつてはライトなし(No WR)となったり、ライト(WR)となったり挙動が不安定となる。ライトなし(No WR)の場合にはマスク信号としてハイレベルが取り込めていれば、データを取り込んでしまったとしても、実際にはデータの書き込みは行われない。ライト(WR)の場合にはデータが取り込んでいることが保障されていることからマスク信号のローレベルに相当するデータの書き込みが行われる。

【0091】

つまり、ライト動作を行わない場合には半導体記憶装置内部のデータは状態を維持し、ライト動作を行う場合にはライトコマンドとして認識された場合に相当するデータの書き込みが行われる。データの取り込みや転送を行っていないにも関わらずライト動作をしてしまうということを防ぐことができる。

【0092】

図10 (A) では動作モード5のマスク取り込みのタイミングのみばらつくような図となっているが、実際にはデータ転送GD2 (動作モード1～2a間)、データライトGD3 (動作モード2a～3a間)、データ取り込みGD1 (動作モード3a～4間)も変動する。しかし、これらの位置が変動しても、ライトなし(No WR)がライト(WR)となったり、ライト(WR)がライトなし(No WR)となることはなく、マスク取り込みタイミングの変動 (動作モード5) の分だけに誤動作の生じる期間を抑えることが可能となる。図16の場合も同様である。

【0093】

図16において、もし、データ取り込みGD1のタイミング境界がマスク取り込みGM1と同程度ばらつき、さらに動作モード4の領域に設定されているとすると、変動によつてデータ取り込みGD1のばらつきは動作モード5の領域にも食い込むことになるが、するとライト動作で書き込まれるデータが不安定となることからデータ破壊が動作モード5の領域に食い込むこととなる。これは、動作モード2c～2d間に設定されているデータライトGD3のタイミング境界が動作モード4の領域に設定された場合も同様であり、動作モード1～2c間に設定されているデータ転送GD2のタイミング境界が動作モード4の領域に設定された場合も同様である。

【0094】

したがって、誤書き込みを行ってしまうようなタイミングを最小限に抑えるために、データライトGD3を行う場合でも適切なマスク制御を行うことによりデータ破壊を抑制し、ライトコマンドの発生を遅らせるというライトサイクル動作の遅延を防止することができる。

【0095】

図19 (A) は、アドレス、チップイネーブル信号/CE1、ライトイネーブル信号/WE、上位バイトマスク信号/UB及び下位バイトマスク信号/LBを示す。サイクルC1及びC2等は、アドレスの切り替えにより決まる。

【0096】

図19 (B) は、図19 (A) に対応し、図4の参考例のメモリ装置のライト動作例を示す。ライトイネーブル信号/WEの立ち下がりを遅延させた信号webdzの立ち下がりエッジから信号wrpzのパルスを発生する。参考例では、データ破壊を発生させないようにするために、信号webdzの立ち下がりエッジの遅延を大きくする必要がある。すると、ライト動作の開始が遅延するので、コア動作を示す信号raszの終了も遅くなり、ライト動作サイクルが遅くなる。

【0097】

このように、ライトなし(No WR)によってデータ破壊の発生を防止する場合、参

考例ではデータライトコマンドを発生しにくくする必要があった。しかし、ライト動作の発生を遅らせるとライトサイクルタイムが延びてしまうというデメリットを持っていた。

【0098】

図19 (C) は、図19 (A) に対応し、図6の本実施形態のメモリ装置のライト動作例を示す。ライトイネーブル信号／WEの立ち下がりを遅延させた信号w e b d zの立ち下がりエッジから信号w r p zのパルスを発生する。ただし、この遅延時間は短いものにすることができる。遅延時間を短くすることにより、ライト動作の開始を早くすることができ、コア動作を示す信号r a s zの終了が早くなり、ライト動作サイクルが速くなる。本実施形態によれば、ライト動作を遅らせなくても、データ破壊を防止できる。

【0099】

図20は、本実施形態のライト動作の処理例を示すフローチャートである。このフローチャートは、tBWスペック違反の状態（図9のtBSが負値の状態）の入力があった場合の処理である。

【0100】

ステップS2001では、データライトGD3を実行するか否かをチェックする。実行する場合にはステップS2002へ進み、実行しない場合にはステップS2006へ進む。ステップS2002では、データ転送GD2を実行するか否かをチェックする。実行する場合にはステップS2003へ進み、実行しない場合には前回のデータを使い回すことになるのでデータ破壊となる。すなわち、データライトGD3を行う場合には、常に、同じサイクル内のその前にデータ転送GD2を行う必要がある。

【0101】

ステップS2003では、違反バイトのマスク取り込みGM1がハイレベル又はローレベルのいずれであるかをチェックする。ハイレベルの場合にはメモリセルへのライトは行われないのでステップS2004へ進み、ローレベルの場合には誤ったデータがメモリセルにライトされてしまうのでデータ破壊が生じてしまう。

【0102】

ステップS2004では、データ取り込みGD1を実行するか否かをチェックする。実行する場合もしない場合もステップS2005へ進み、次のサイクルで違反バイトをマスクしてライト動作を行う。すなわち、データ取り込みGD1の有無はどちらでもよい。マスクされているので、データバスのデータは何でもよいことになる。

【0103】

ステップS2006では、データ転送GD2を実行するか否かをチェックする。実行する場合にもしない場合にもステップS2007へ進む。すなわち、データ転送GD2は実行してもしなくてもよい。

【0104】

ステップS2007では、マスク取り込みGM1を実行するか否かをチェックする。実行しない場合にはステップS2008へ進み、実行する場合にはバッファ内のマスク信号が破壊され、データ破壊となる。

【0105】

ステップS2008では、データ取り込みGD1を実行するか否かをチェックする。実行しない場合にはステップS2009へ進み、実行する場合にはバッファ内のデータが破壊され、データ破壊となる。

【0106】

ステップS2009では、正しいライト情報を維持することができる。

【0107】

以上のように、（1）データライトGD3を行わなくてもデータ転送GD2ができること、（2）データライトGD3を行わないならばデータ取り込みGD1を行わないこと、（3）マスク信号はローレベルの状態を取り込まないこと、以上の3点のいずれかを違反するとデータを破壊してしまう。本実施形態では、これらの違反をしないようにすることにより、データ破壊を防止できる。

【0108】

データライト、マスク取り込み、データ取り込み、データ転送の優先順位を細かく設定した設計を行うことにより、誤書き込みを行う可能性を大幅に減少させることが可能である。これにより、ライトコマンドの発生を遅らせるというライトサイクルに悪影響のある手法は使用する必要がない。

【0109】

データ取り込みとデータ転送の制御に優先順位をつけることでデータ破壊を起こしにくくする。マスク制御により正規の長さに満たないライトコマンドが投入された場合でも、ライト動作を遅らせることやデータが破壊されることを防止できる。

【0110】

半導体記憶装置内部に対して正規の長さに満たないライトコマンドが投入された時、データライト、マスク取り込み、データ取り込み、データ転送のパルスの発生しやすさに順位を付けて制御を行うことによりサイクル時間を延ばすことなく誤書き込みによるデータ破壊が発生することを防止することができる。

【0111】

ライト動作は、ライトイネーブル信号/WE（ライト基本信号）とバイトマスク信号/UB, /LBの合成によって実行され、立ち上がり及び立ち下がりそれぞれのエッジパルスでデータの取り込みとデータの転送を行う。

【0112】

ライトコマンドパルスとマスクの取り込みパルスは、信号/WE, /UB, /LBの合成信号の立ち下がりを基に発生する。ライト動作は、データ取り込みの次のサイクルの信号/WE, /UB, /LBの合成信号の立ち下がりでメモリセルに書き込まれるレイトライトのアーキテクチャである。データライトパルスは、データ転送パルスよりも発生しにくく、データライトが実行される場合には必ずデータ転送パルスが発生することが保障されることでデータ破壊を防止する。正規の長さに満たないライトコマンドが投入された場合、データ取り込みパルスが発生してもマスクがハイレベルとなることでデータ破壊が発生することを防止する。

【0113】

正規の長さに満たないライトコマンドが投入された場合、データ取り込みパルスとデータ転送パルスが同一のタイミングで発生することによるデータ破壊が生じないようにデータ取り込みパルスをデータ転送パルスよりも発生しにくく制御する。

【0114】

マスク信号を用いたデータ破壊の防止により、正規の長さに満たないライトコマンドが投入された場合でもデータライトパルスが発生するだけではデータが破壊されないので、データライトパルスを発生しやすくすることができ、ライト動作の開始やライト動作サイクルを短縮することができる。

【0115】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されなければならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【0116】

本発明の実施形態は、例えば以下のように種々の適用が可能である。

【0117】

(付記1)

ゲート制御により入力されるデータを第1のバッファにバッファリングするためのデータ取り込みゲートと、

ゲート制御により前記第1のバッファのデータを入力して第2のバッファにバッファリングするためのデータ転送ゲートと、

ゲート制御により前記第2のバッファのデータをデータバスに出力するためのデータラ

イトゲートと、

前記データバス上のデータをライトして記憶するためのメモリセルと、

データマスク信号によりマスクされると前記データバスを前記メモリセルに接続せず、データマスク信号によりマスク解除されると前記データバスを前記メモリセルに接続するためのセレクタと、

ライトイネーブル信号及びデータマスク信号に応じて、現サイクルで前記データ取り込みゲートを制御して前記第1のバッファにデータを入力し、次サイクルで前記データ転送ゲートを制御して前記第1のバッファのデータを前記第2のバッファに入力し前記データライトゲートを制御して前記第2のバッファのデータを前記データバスに出力する制御回路とを有し、

前記制御回路は、前記ライトイネーブル信号が活性化してから前記データマスク信号が変化するまでの間の間に応じて、そのサイクルにおいて、前記データ取り込みゲートの制御により前記第1のバッファにデータを入力せず、かつ前記データ転送ゲートの制御により前記第2のバッファにデータを入力するメモリ装置。

(付記2)

前記制御回路は、前記サイクルにおいて、前記データ取り込みゲートの制御により前記第1のバッファにデータを入力せず、かつ前記データ転送ゲートの制御により前記第2のバッファにデータを入力し、かつ前記データライトゲートの制御により前記第2のバッファのデータを前記データバスに出力する付記1記載のメモリ装置。

(付記3)

前記制御回路は、前記サイクルにおいて、前記データ取り込みゲートの制御により前記第1のバッファにデータを入力せず、かつ前記データ転送ゲートの制御により前記第2のバッファにデータを入力し、かつ前記データライトゲートの制御により前記第2のバッファのデータを前記データバスに出力しない付記1記載のメモリ装置。

(付記4)

前記制御回路が、前記サイクルにおいて、前記データ取り込みゲートの制御により前記第1のバッファにデータを入力せず、かつ前記データ転送ゲートの制御により前記第2のバッファにデータを入力する時、前記セレクタは、その次のサイクルにおいて、前記データバスを前記メモリセルに接続しない付記1記載のメモリ装置。

(付記5)

前記制御回路は、前記データライトゲートの制御により前記第2のバッファのデータを前記データバスに出力するときは、常に、そのサイクル内でかつ前記データライトゲートの制御の前に、前記データ転送ゲートの制御により前記第2のバッファにデータを入力する付記1記載のメモリ装置。

(付記6)

前記制御回路は、前記ライトイネーブル信号が活性化してから前記データマスク信号が変化するまでの間の間に応じて、そのサイクルにおいて、前記データ転送ゲートの制御により前記第2のバッファにデータを入力し、かつ前記データライトゲートの制御により前記データバスにデータを出力しない付記5記載のメモリ装置。

(付記7)

前記ライトイネーブル信号及び前記データマスク信号に応じた第1の信号を生成し、その第1の信号が非活性化から活性化に変化する変化点を第1の遅延時間遅延させた信号を第1の遅延信号として出力するための第1のディレイ回路と、

前記第1の信号が非活性化から活性化に変化する変化点を前記第1の遅延時間よりも長い第2の遅延時間遅延させた信号を第2の遅延信号として出力するための第2のディレイ回路とを有し、

前記制御回路は、前記第1の遅延信号が非活性化から活性化へ変化する変化点において前記データ転送ゲートをパルス制御して前記第2のバッファにデータを入力し、前記第2の遅延信号が活性化から非活性化へ変化する変化点において前記データ取り込みゲートをパルス制御して前記第1のバッファにデータを入力する付記1記載のメモリ装置。

(付記 8)

前記第1のディレイ回路は、前記ライトイネーブル信号が活性化しておりかつ前記データマスク信号がマスク解除である期間を活性化させる第1の信号を生成し、その第1の信号が非活性化から活性化に変化する変化点を第1の遅延時間遅延させた信号を第1の遅延信号として出力し、

前記第2のディレイ回路は、前記第1の信号が非活性化から活性化に変化する変化点を前記第1の遅延時間よりも長い第2の遅延時間遅延させた信号を第2の遅延信号として出力し、

前記制御回路は、前記第1の遅延信号が非活性化から活性化へ変化する変化点において前記データ転送ゲートをパルス制御して前記第2のバッファにデータを入力し、前記第2の遅延信号が活性化から非活性化へ変化する変化点において前記データ取り込みゲートをパルス制御して前記第1のバッファにデータを入力する付記7記載のメモリ装置。

(付記 9)

前記制御回路は、前記ライトイネーブル信号の活性化期間が短いときには、そのサイクルにおいて、前記データ転送ゲートの制御により前記第2のバッファにデータを入力し、かつ前記データ取り込みゲートの制御により前記第1のバッファにデータを入力しない付記1記載のメモリ装置。

(付記 10)

さらに、ゲート制御により入力されるデータマスク信号を第1のマスクバッファにバッファリングするためのマスク取り込みゲートと、

ゲート制御により前記第1のマスクバッファのデータマスク信号を入力して第2のマスクバッファにバッファリングするためのマスク転送ゲートと、

ゲート制御により前記第2のマスクバッファのデータマスク信号を前記セレクタに出力するためのマスクライトゲートとを有する付記1記載のメモリ装置。

(付記 11)

前記データマスク信号は、上位バイトマスク信号及び下位バイトマスク信号を含む付記1記載のメモリ装置。

(付記 12)

前記制御回路は、前記サイクルにおいて、前記データ取り込みゲートの制御により前記第1のバッファにデータを入力せず、かつ前記データ転送ゲートの制御により前記第2のバッファにデータを入力し、かつ前記データライトゲートの制御により前記第2のバッファのデータを前記データバスに出力する付記4記載のメモリ装置。

(付記 13)

前記制御回路は、前記サイクルにおいて、前記データ取り込みゲートの制御により前記第1のバッファにデータを入力せず、かつ前記データ転送ゲートの制御により前記第2のバッファにデータを入力し、かつ前記データライトゲートの制御により前記第2のバッファのデータを前記データバスに出力しない付記12記載のメモリ装置。

(付記 14)

前記制御回路は、前記データライトゲートの制御により前記第2のバッファのデータを前記データバスに出力するときは、常に、そのサイクル内でかつ前記データライトゲートの制御の前に、前記データ転送ゲートの制御により前記第2のバッファにデータを入力する付記13記載のメモリ装置。

(付記 15)

前記制御回路は、前記ライトイネーブル信号が活性化してから前記データマスク信号が変化するまでの間の時間に応じて、そのサイクルにおいて、前記データ転送ゲートの制御により前記第2のバッファにデータを入力し、かつ前記データライトゲートの制御により前記データバスにデータを出力しない付記14記載のメモリ装置。

(付記 16)

前記ライトイネーブル信号及び前記データマスク信号に応じた第1の信号を生成し、その第1の信号が非活性化から活性化に変化する変化点を第1の遅延時間遅延させた信号を

第1の遅延信号として出力するための第1のディレイ回路と、

前記第1の信号が非活性化から活性化に変化する変化点を前記第1の遅延時間よりも長い第2の遅延時間遅延させた信号を第2の遅延信号として出力するための第2のディレイ回路とを有し、

前記制御回路は、前記第1の遅延信号が非活性化から活性化へ変化する変化点において前記データ転送ゲートをパルス制御して前記第2のバッファにデータを入力し、前記第2の遅延信号が活性化から非活性化への変化点において前記データ取り込みゲートをパルス制御して前記第1のバッファにデータを入力する付記15記載のメモリ装置。

(付記17)

前記第1のディレイ回路は、前記ライトイネーブル信号が活性化しておりかつ前記データマスク信号がマスク解除である期間を活性化させる第1の信号を生成し、その第1の信号が非活性化から活性化に変化する変化点を第1の遅延時間遅延させた信号を第1の遅延信号として出力し、

前記第2のディレイ回路は、前記第1の信号が非活性化から活性化に変化する変化点を前記第1の遅延時間よりも長い第2の遅延時間遅延させた信号を第2の遅延信号として出力し、

前記制御回路は、前記第1の遅延信号が非活性化から活性化へ変化する変化点において前記データ転送ゲートをパルス制御して前記第2のバッファにデータを入力し、前記第2の遅延信号が活性化から非活性化へ変化する変化点において前記データ取り込みゲートをパルス制御して前記第1のバッファにデータを入力する付記16記載のメモリ装置。

(付記18)

前記制御回路は、前記ライトイネーブル信号の活性化期間が短いときには、そのサイクルにおいて、前記データ転送ゲートの制御により前記第2のバッファにデータを入力し、かつ前記データ取り込みゲートの制御により前記第1のバッファにデータを入力しない付記17記載のメモリ装置。

(付記19)

さらに、ゲート制御により入力されるデータマスク信号を第1のマスクバッファにバッファリングするためのマスク取り込みゲートと、

ゲート制御により前記第1のマスクバッファのデータマスク信号を入力して第2のマスクバッファにバッファリングするためのマスク転送ゲートと、

ゲート制御により前記第2のマスクバッファのデータマスク信号を前記セレクタに出力するためのマスクライトゲートとを有する付記18載のメモリ装置。

(付記20)

前記データマスク信号は、上位バイトマスク信号及び下位バイトマスク信号を含む付記19記載のメモリ装置。

【図面の簡単な説明】

【0118】

【図1】本発明の実施形態による半導体記憶装置（メモリ装置）の構成例を示すブロック図である。

【図2】図1のバイトマスク入力回路、バイトマスクコントローラ、データI/O回路、ライトデータコントローラ及びカラムラインセレクタの構成例を示すブロック図である。

【図3】図3（A）は図2のデータ入力回路の構成例を示す図、図3（B）は図2のマスク入力回路の構成例を示す図である。

【図4】図2のデータ入力制御回路及びデータ入力回路の参考例による構成例を示す図である。

【図5】図4の回路の動作を説明するためのタイミングチャートである。

【図6】図2のデータ入力制御回路及びデータ入力回路の本実施形態による構成例を示す図である。

【図7】図6の回路の動作を説明するためのタイミングチャートである。

【図8】図8 (A) ~ (C) はライト動作例を示す図である。

【図9】tBSスペック及びtBWスペックを説明するための図である。

【図10】図10 (A) 及び (B) は図4の参考例のメモリ装置の動作モードを示す図である。

【図11】ライト動作例を示すタイミングチャートである。

【図12】動作モード5のデータ制御及びマスク制御例を示す図である。

【図13】動作モード1のデータ制御及びマスク制御例を示す図である。

【図14】動作モード2aのデータ制御及びマスク制御例を示す図である。

【図15】動作モード2bのデータ制御及びマスク制御例を示す図である。

【図16】図6の本実施形態のメモリ装置の動作モードを示す図である。

【図17】動作モード2cのデータ制御及びマスク制御例を示す図である。

【図18】動作モード2dのデータ制御及びマスク制御例を示す図である。

【図19】図19 (A) ~ (C) はライト動作例を示すタイミングチャートである。

【図20】本実施形態のライト動作の処理例を示すフローチャートである。

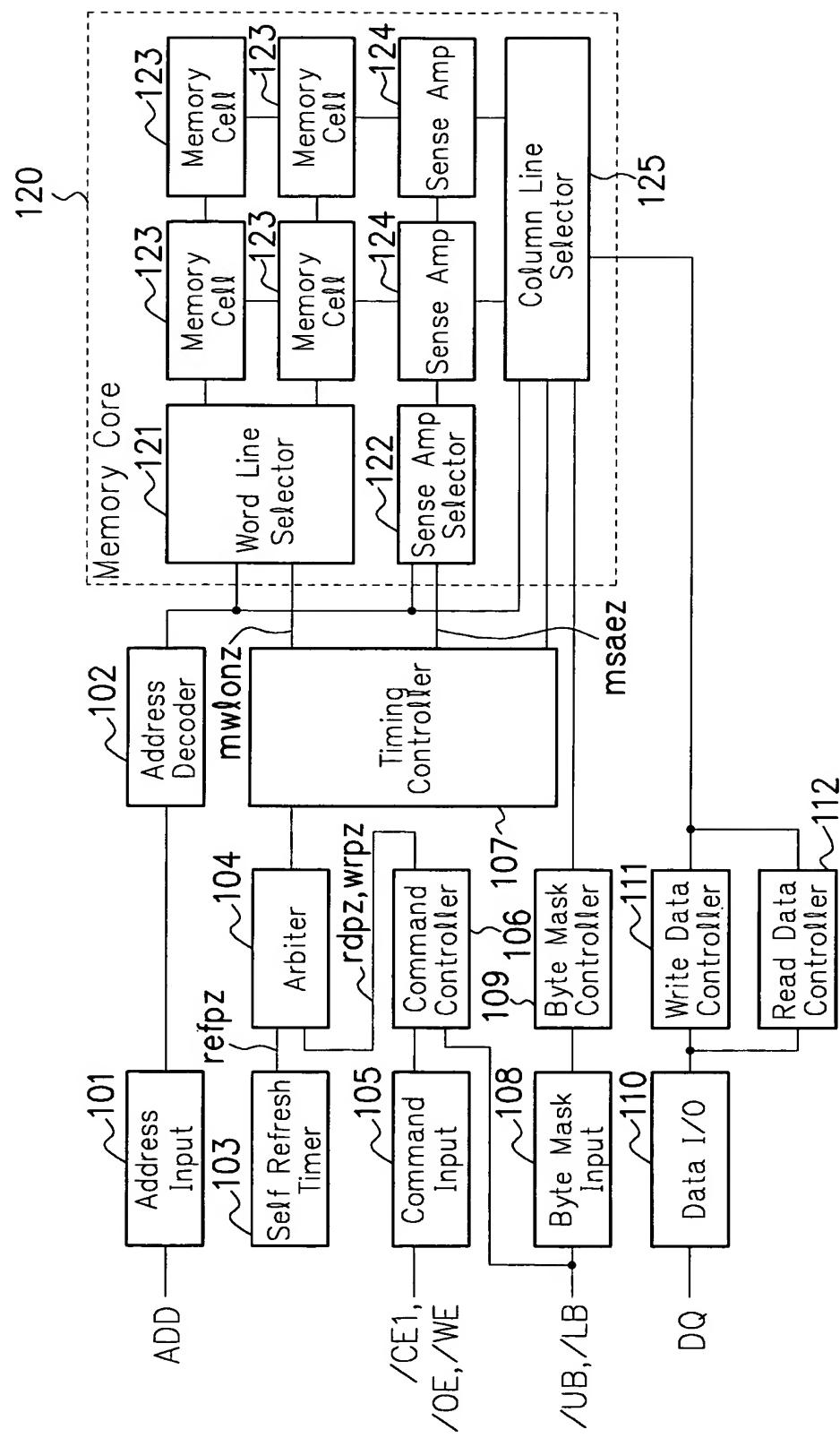
【符号の説明】

【0119】

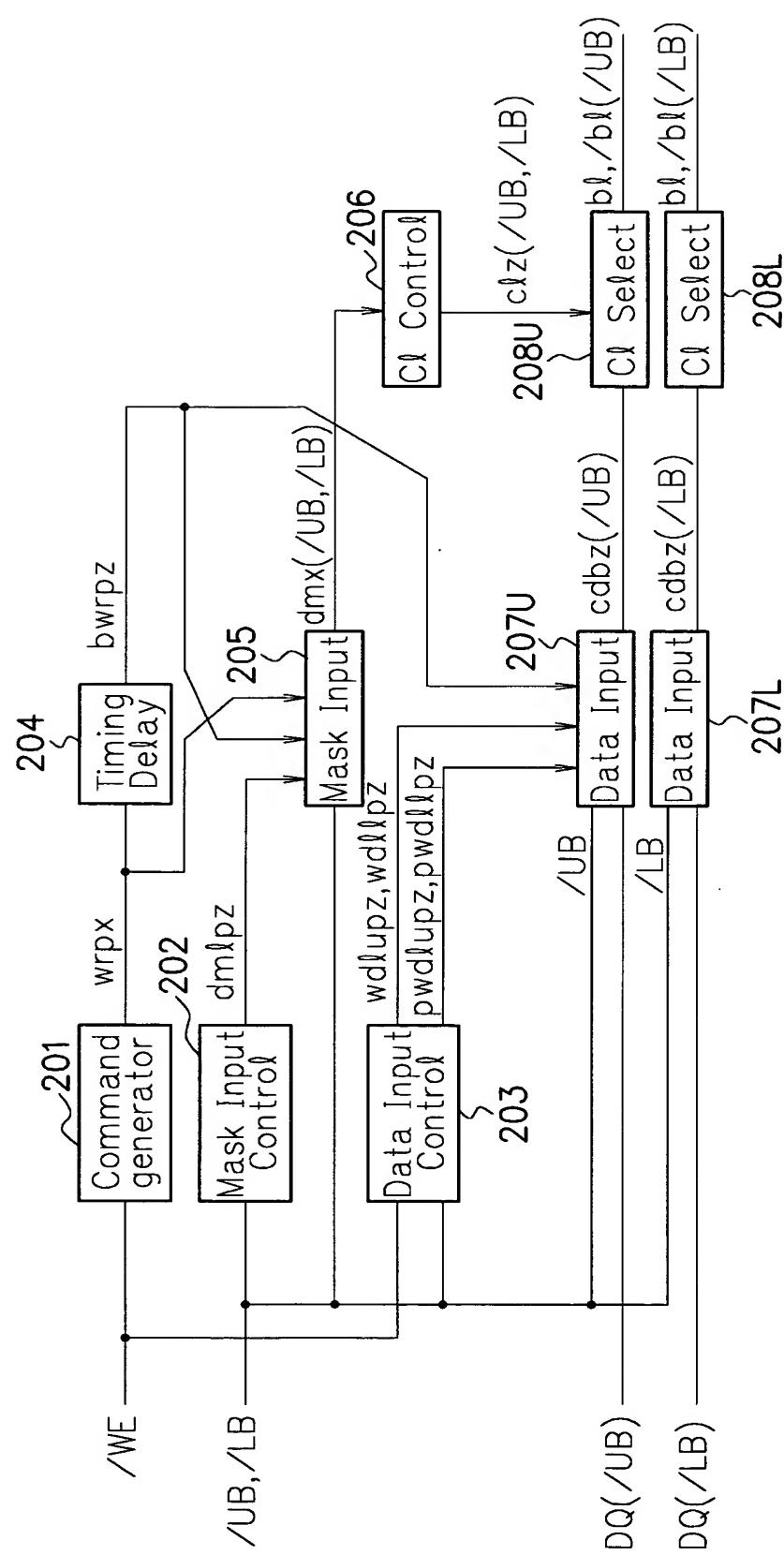
- 101 アドレス入力回路
- 102 アドレスデコーダ
- 103 セルフリフレッシュタイム
- 104 アービタ
- 105 コマンド入力回路
- 106 コマンドコントローラ
- 107 タイミングコントローラ
- 108 バイトマスク入力回路
- 109 バイトマスクコントローラ
- 110 データI/O回路
- 111 ライトデータコントローラ
- 112 リードデータコントローラ
- 120 メモリコア
- 121 ワードラインセレクタ
- 122 センスアンプセレクタ
- 123 メモリセル
- 124 センスアンプ
- 125 カラムラインセレクタ
- 201 コマンドジェネレータ
- 202 マスク入力制御回路
- 203 データ入力制御回路
- 204 タイミングジェネレータ
- 205 マスク入力回路
- 206 カラムライン制御回路
- 207U 上位バイトデータ入力回路
- 207L 下位バイトデータ入力回路
- 208U 上位バイトカラムライン選択回路
- 208L 下位バイトカラムライン選択回路
- 301U, 301L, GD1 データ取り込みゲート
- 302U, 302L バッファ
- 303U, 303L, GD2 データ転送ゲート
- 304U, 304L バッファ
- 305U, 305L, GD3 データライトゲート
- 311U, 311L, GM1 マスク取り込みゲート

312U, 312L バッファ
313U, 313L, GM2 マスク転送ゲート
314U, 314L バッファ
315U, 315L, GM3 マスクライトゲート

【書類名】 図面
【図 1】

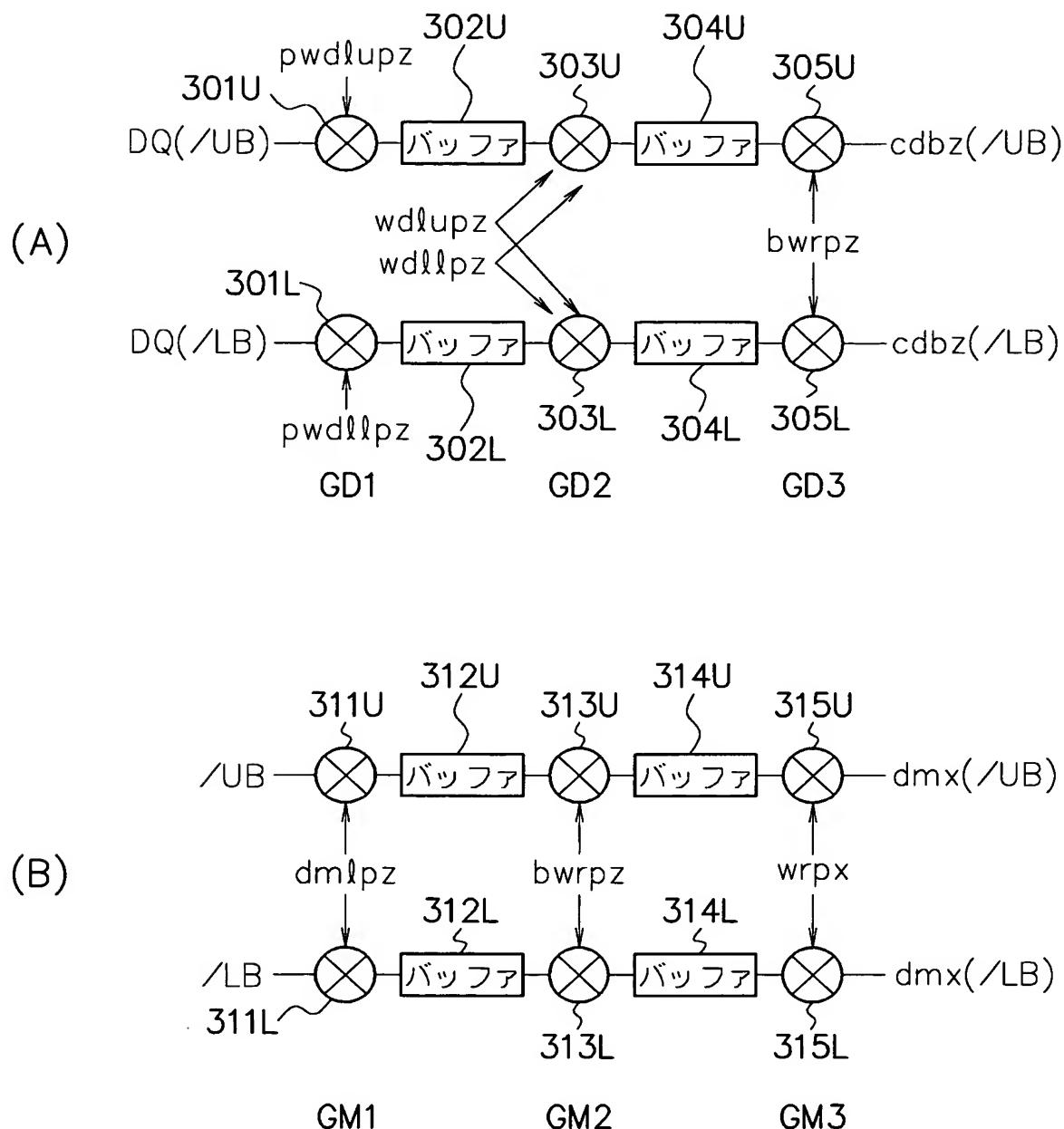


【図 2】



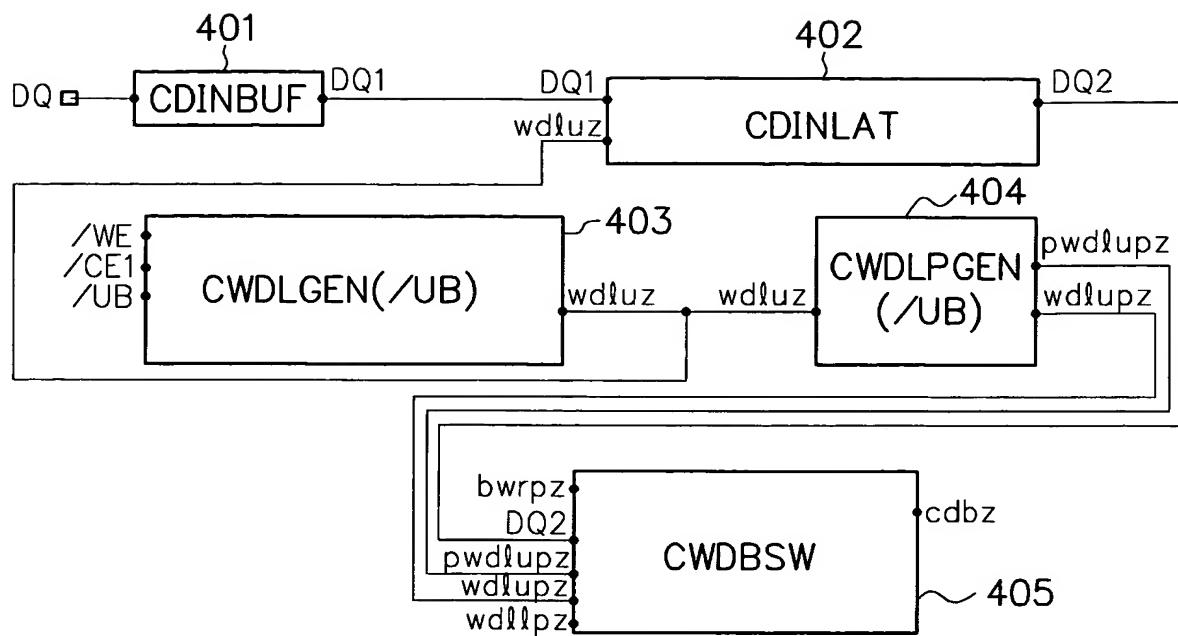
データ制御とマスク制御のブロック図

【図3】



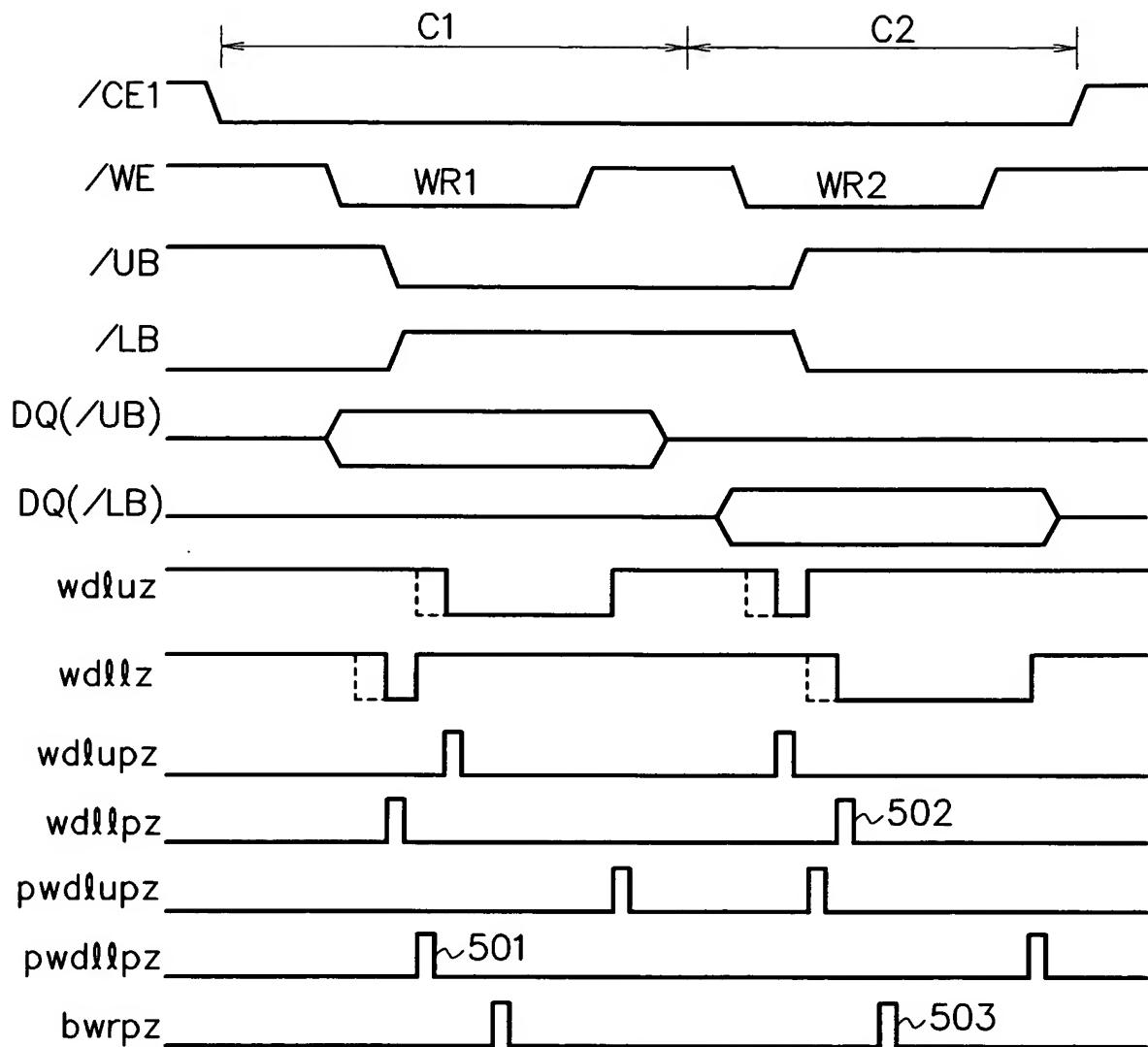
データ制御とマスク制御

【図 4】



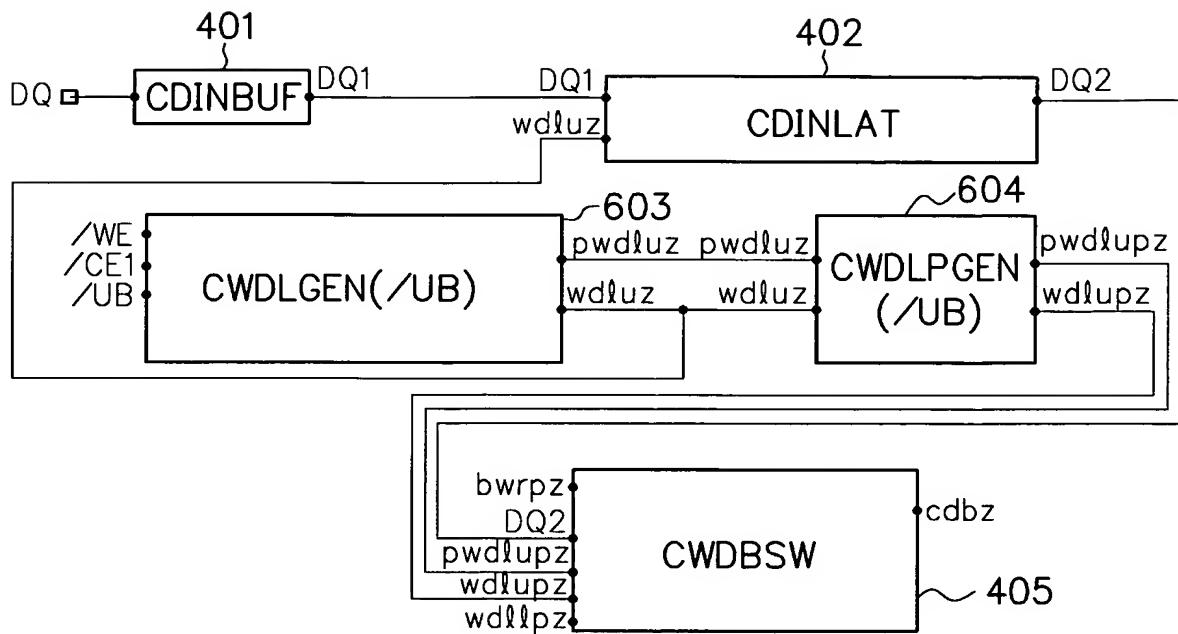
データ取り込みとデータ転送

【図 5】



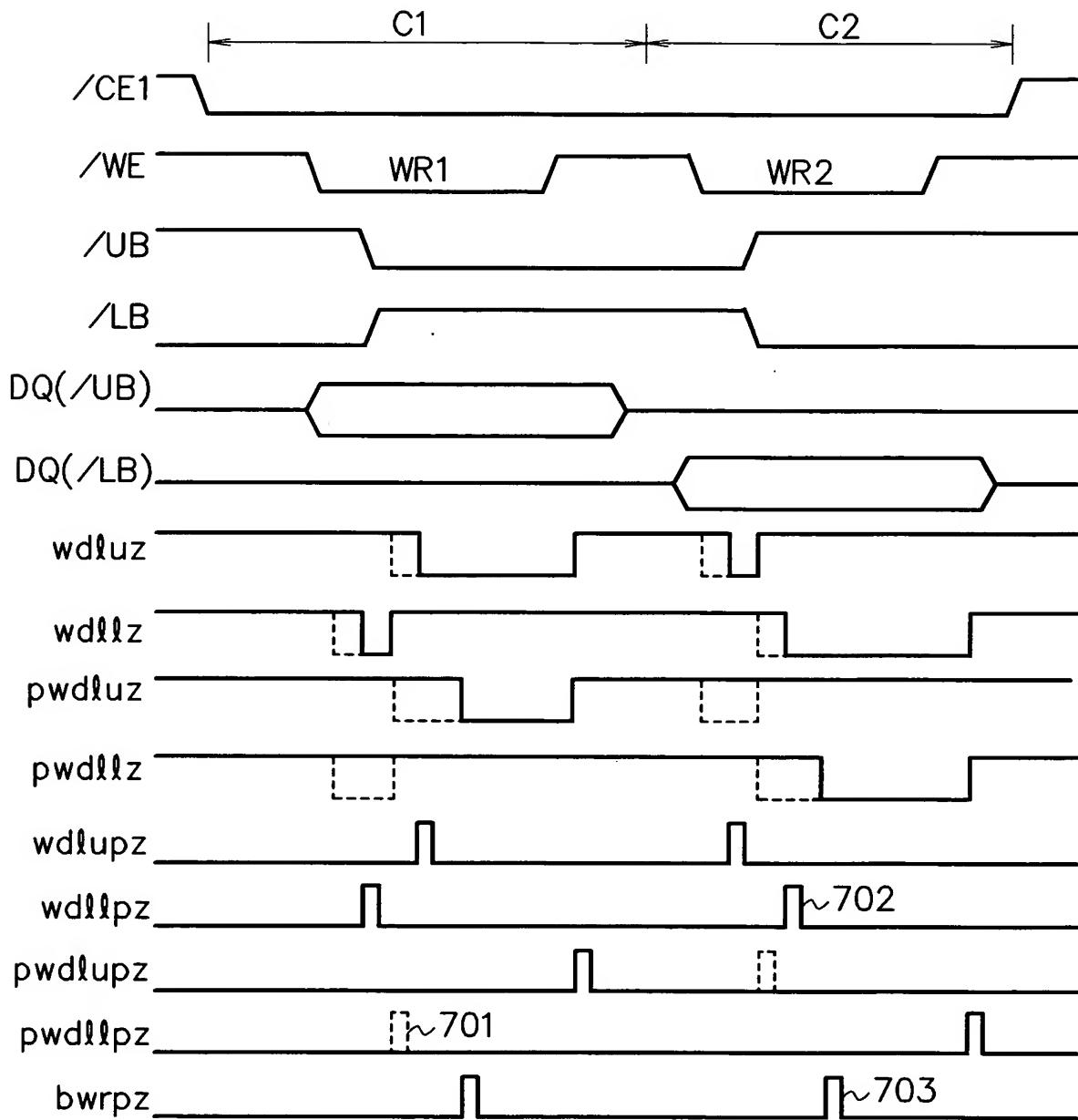
データ破壊

【図 6】



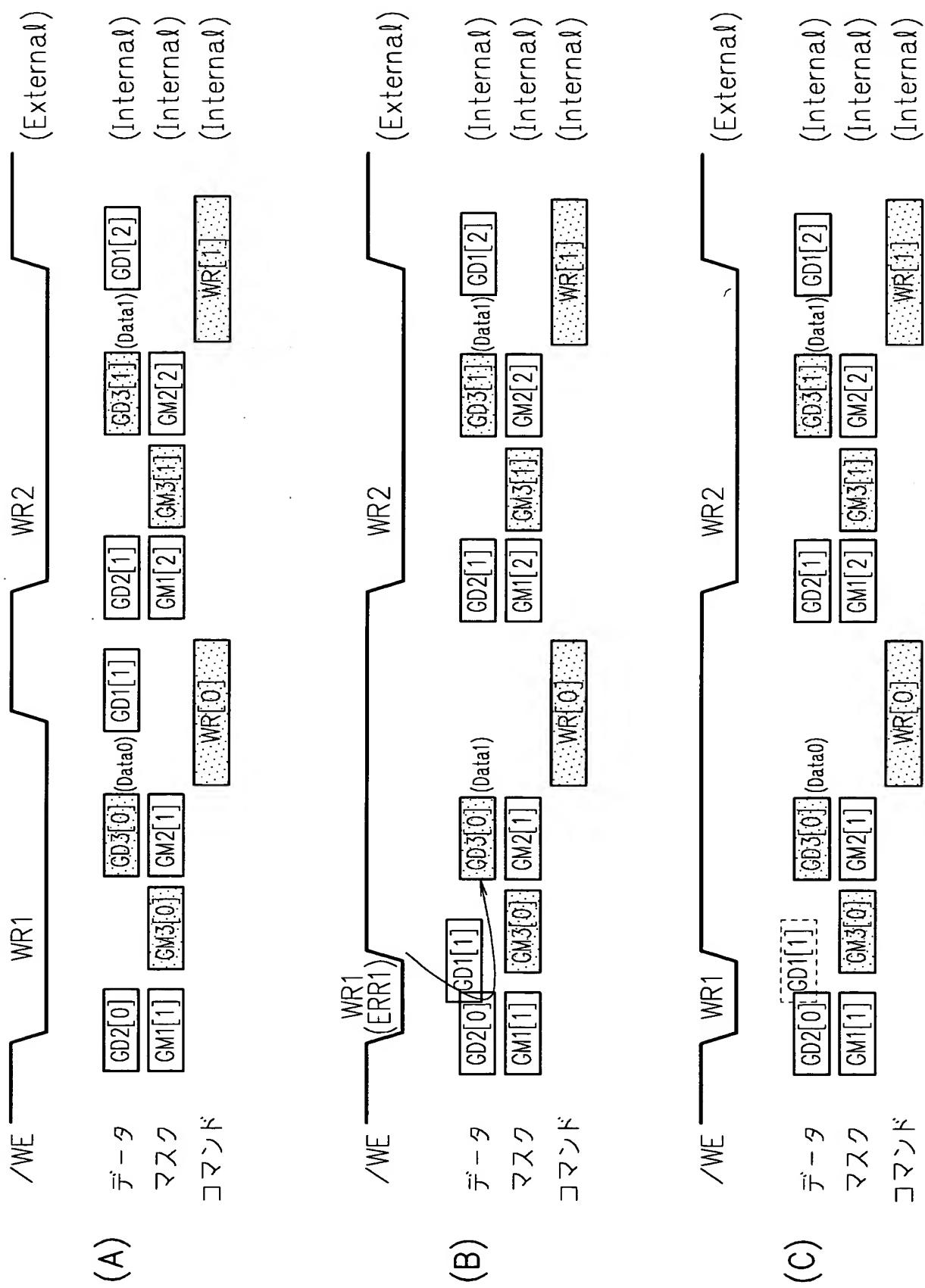
本実施形態でのデータ取り込みとデータ転送

【図 7】

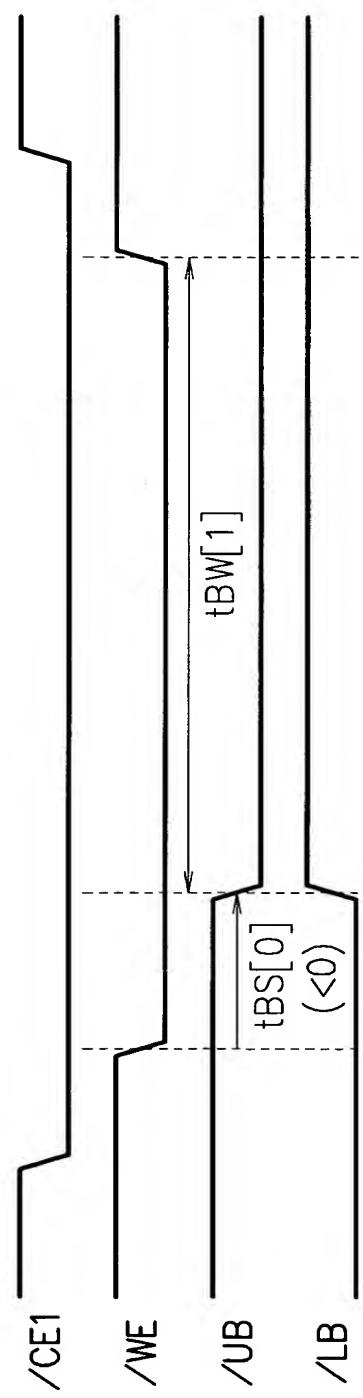


本実施形態でのデータ取り込みとデータ転送

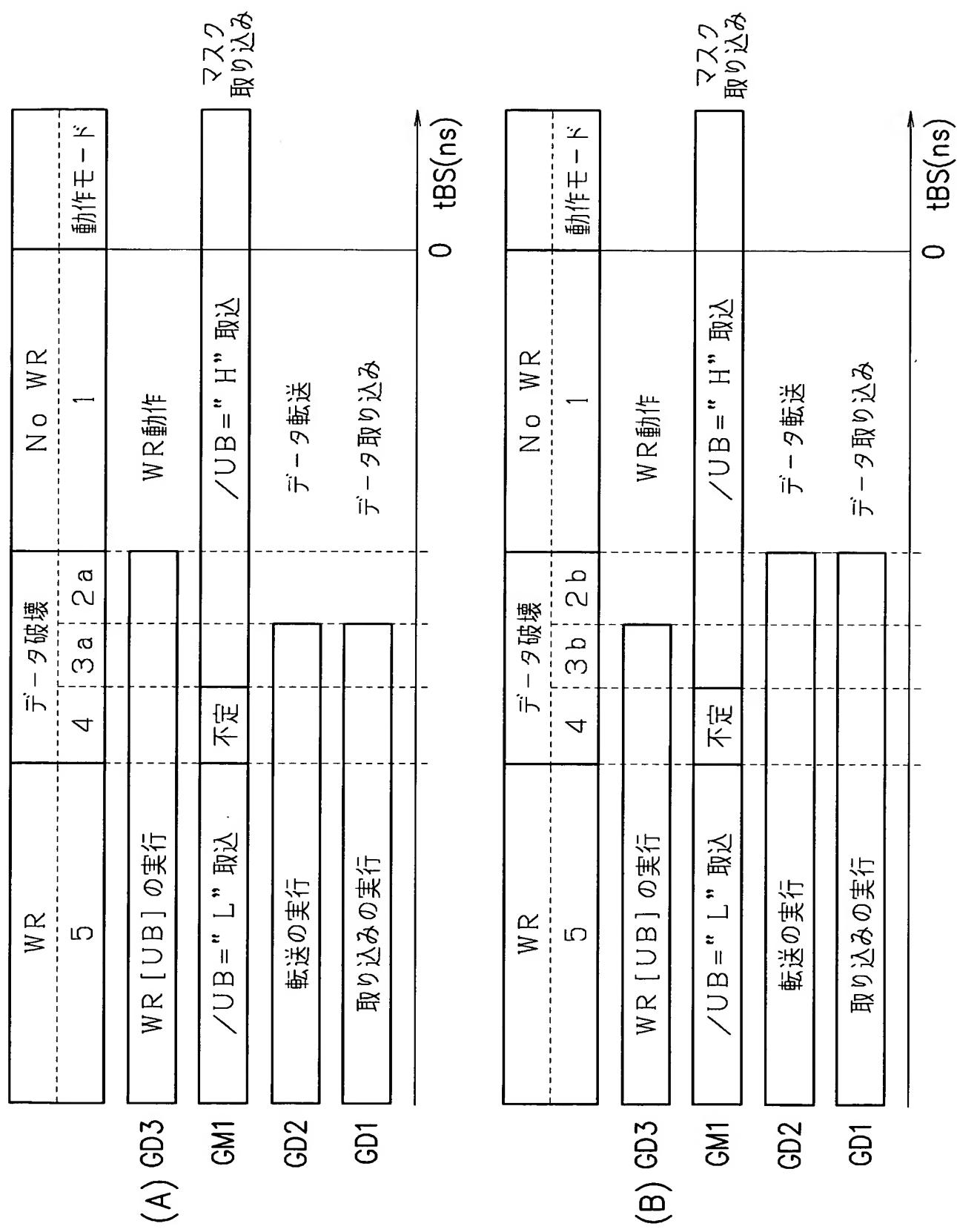
【図 8】



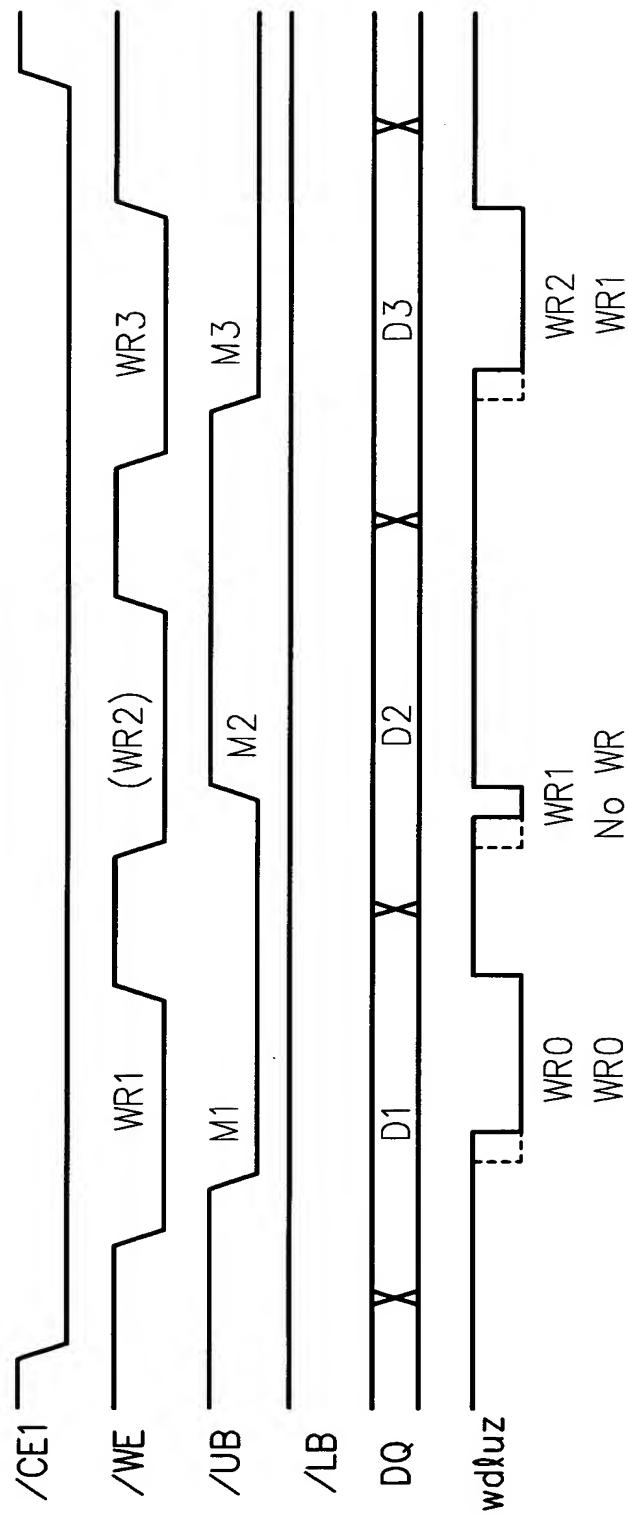
【図 9】



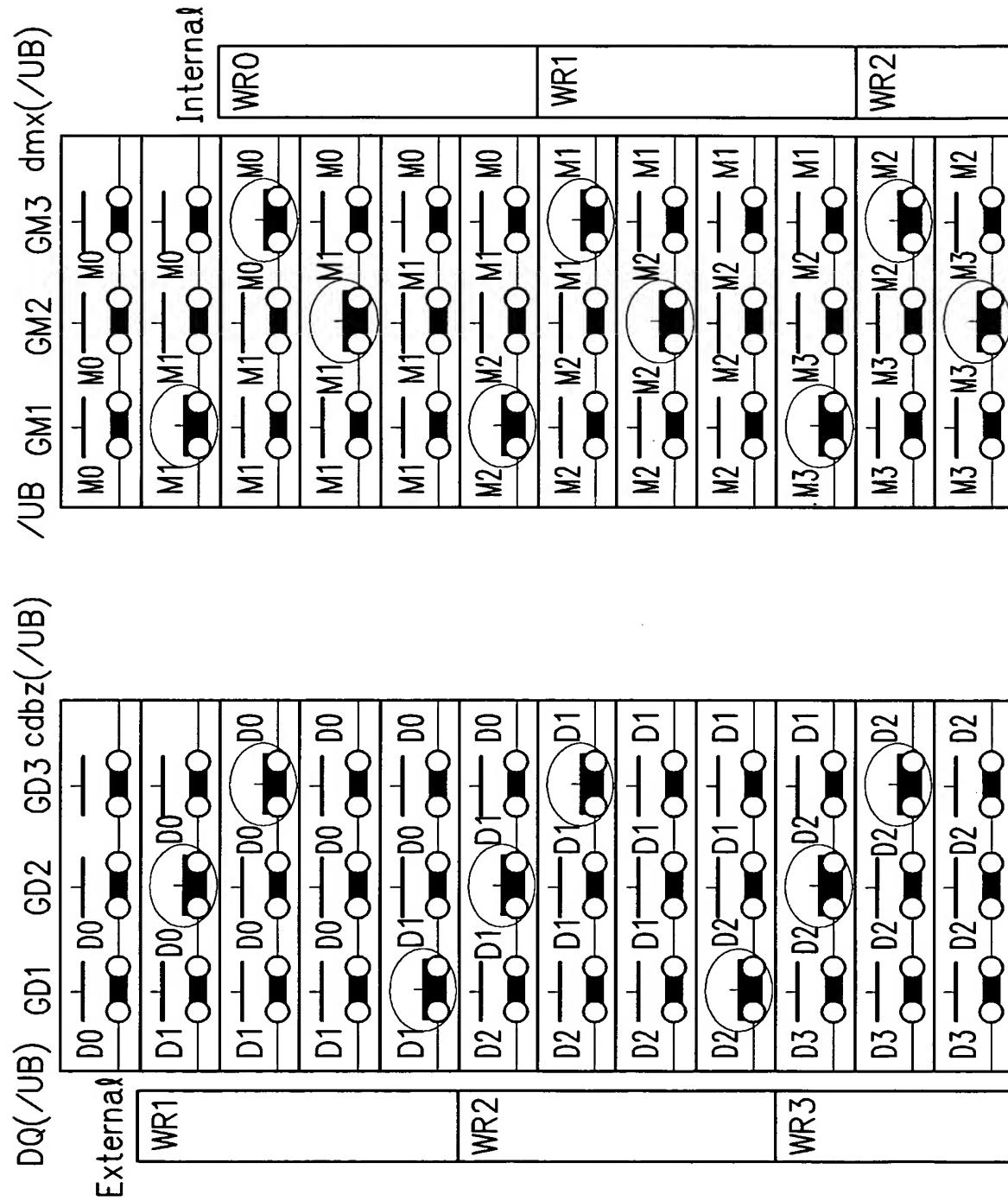
【図 10】



【図 11】

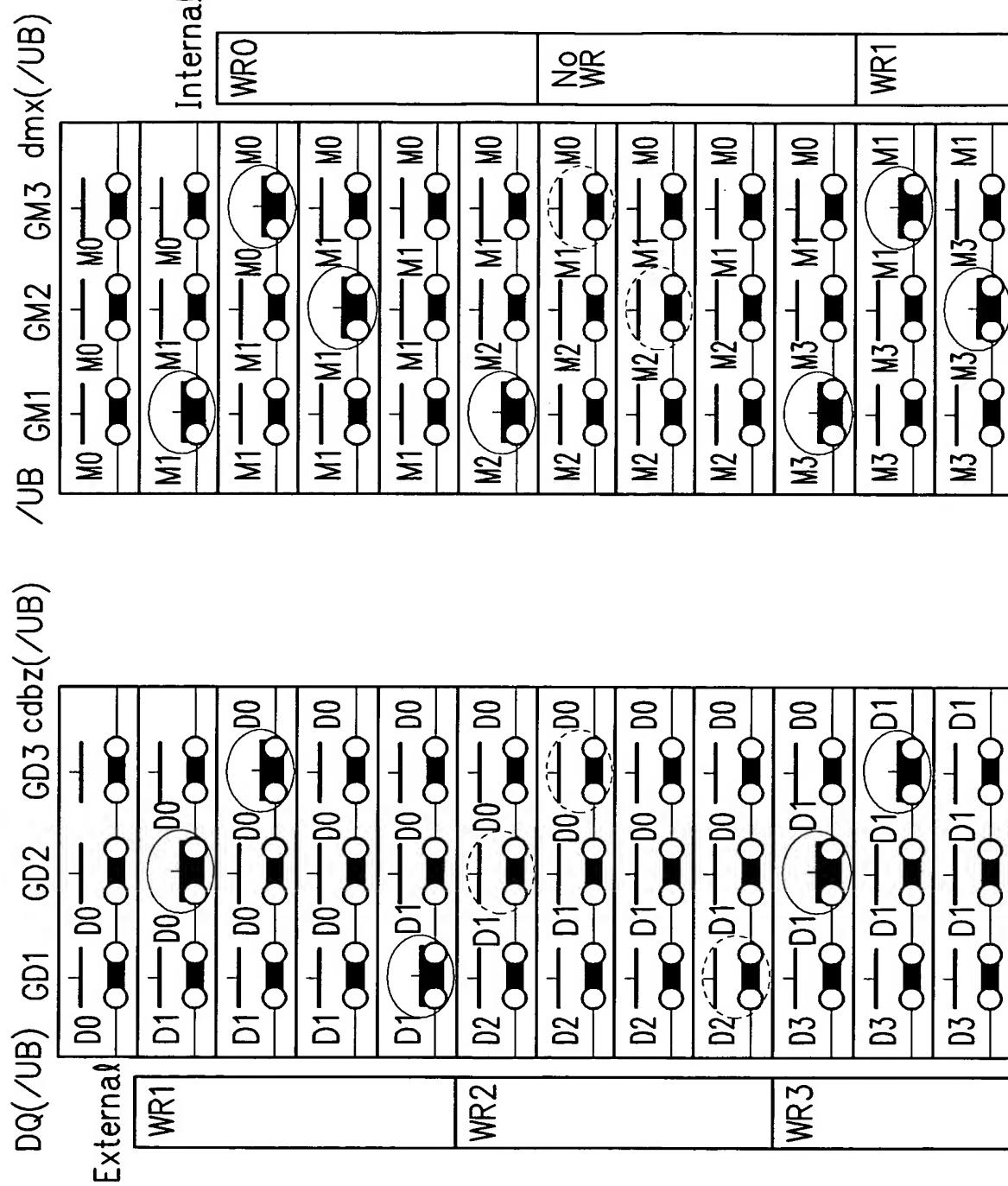


【図 12】



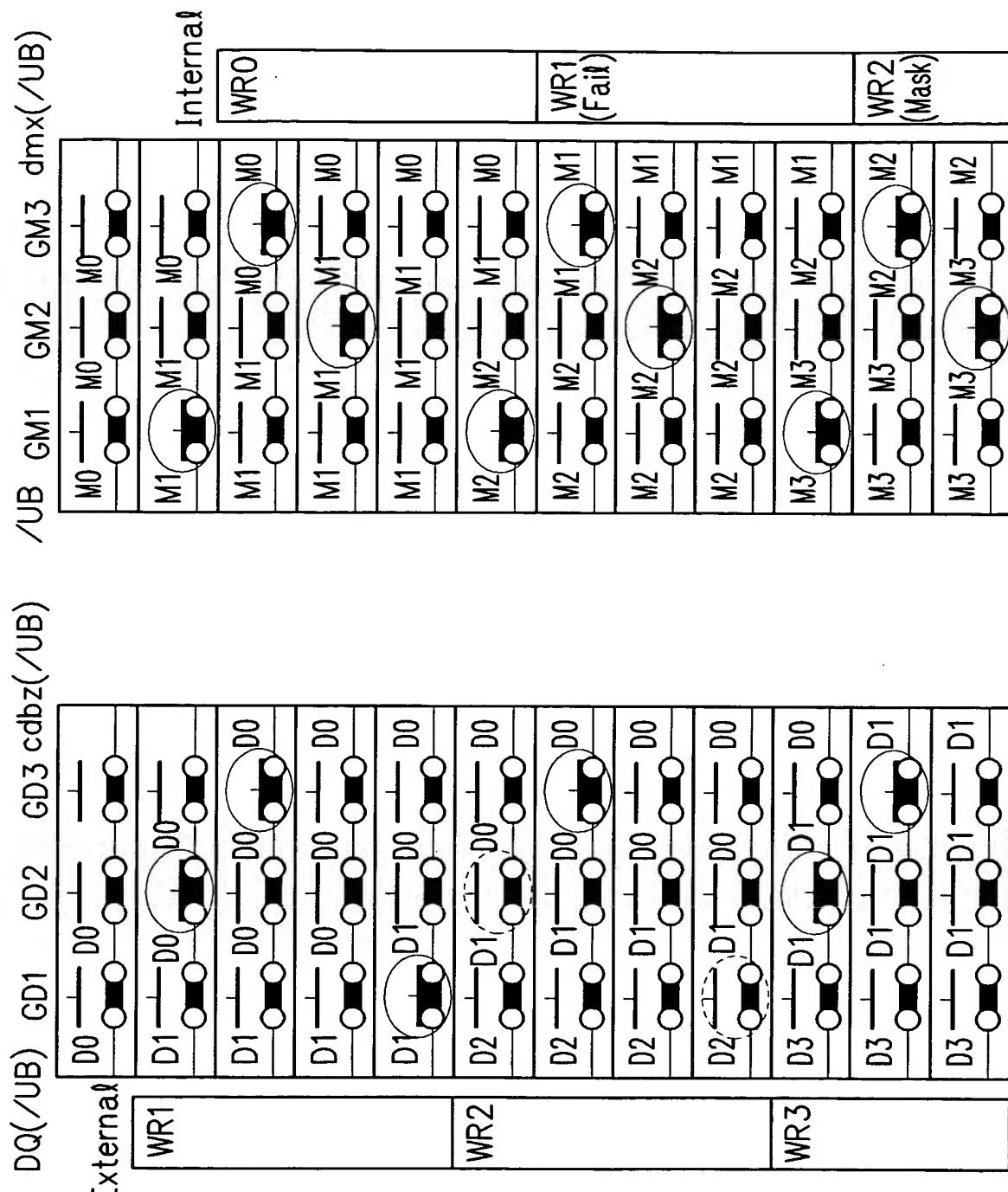
動作モード 5

【図13】



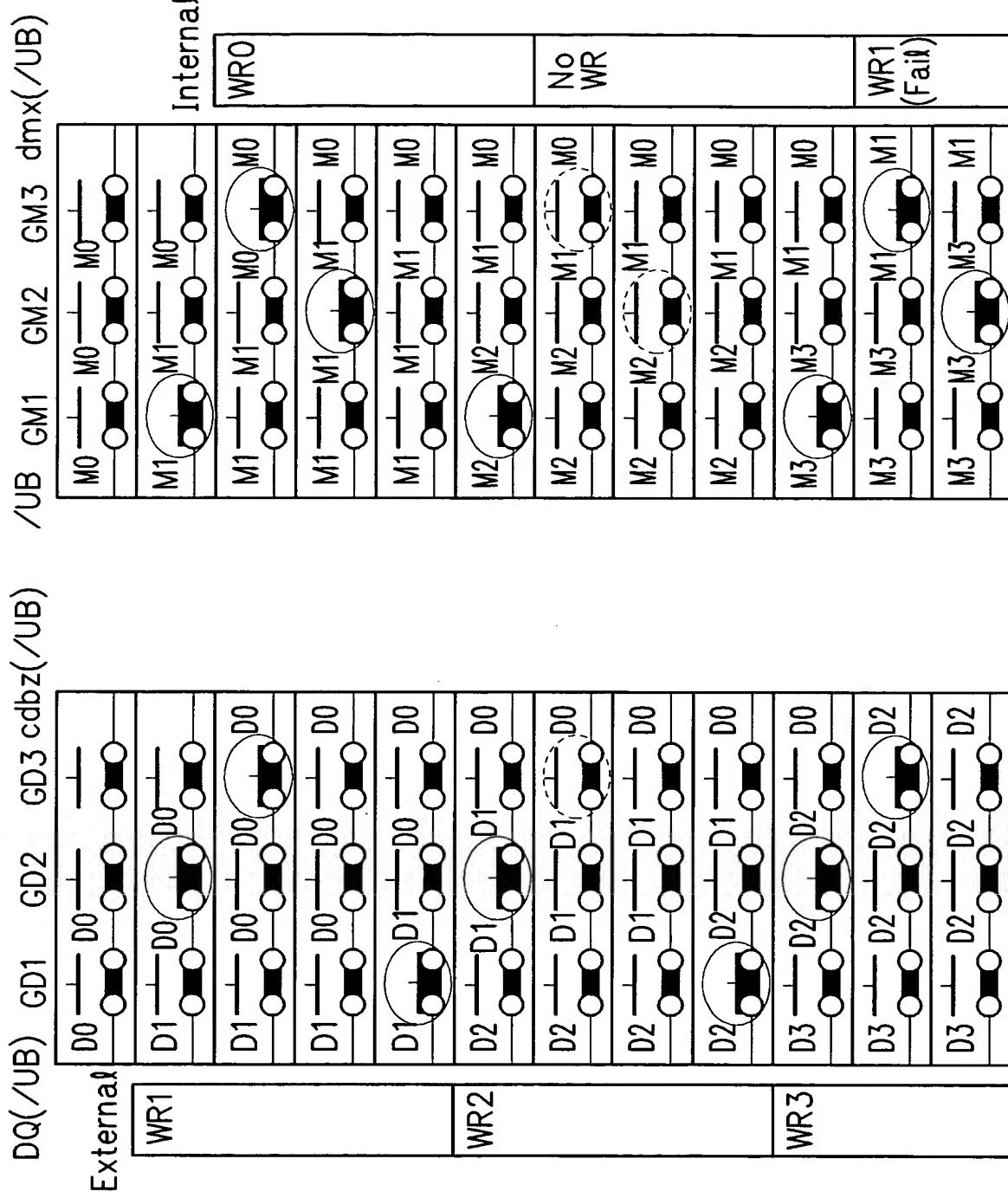
動作モード1

【図 1-4】



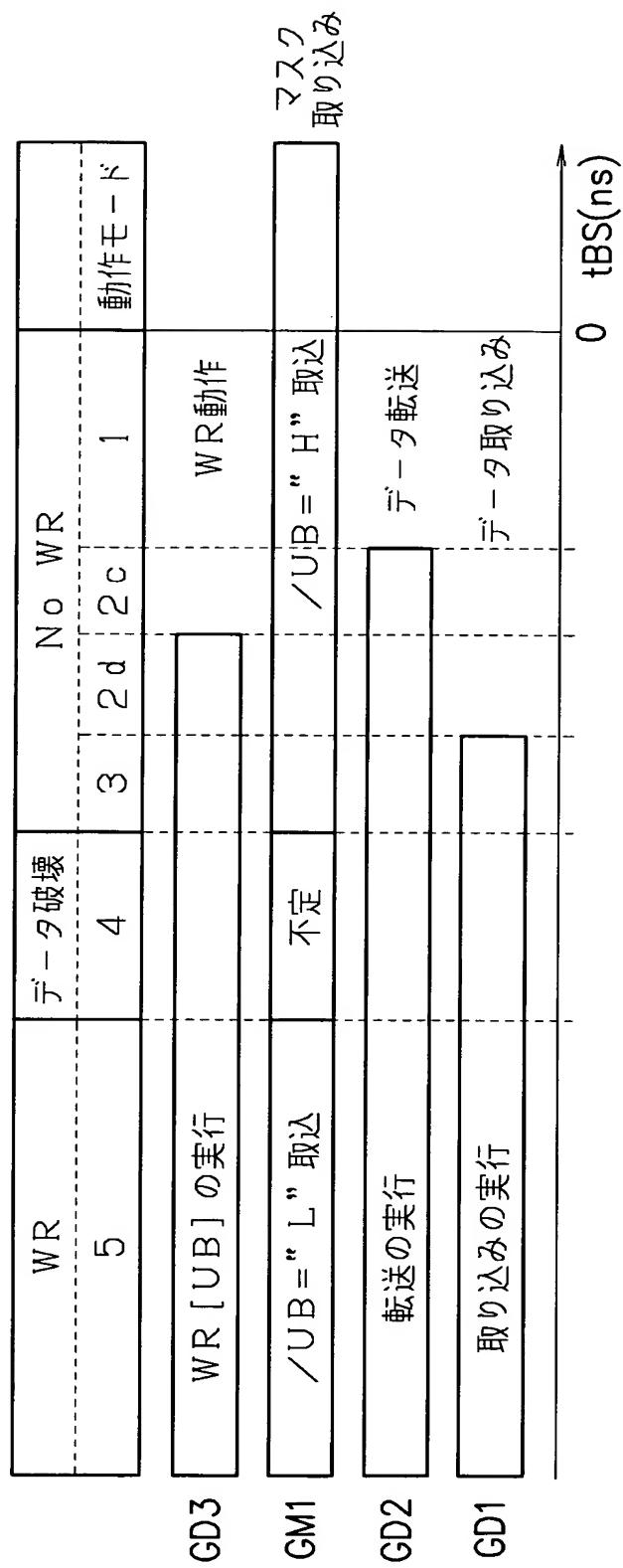
動作モード2a

【図 15】



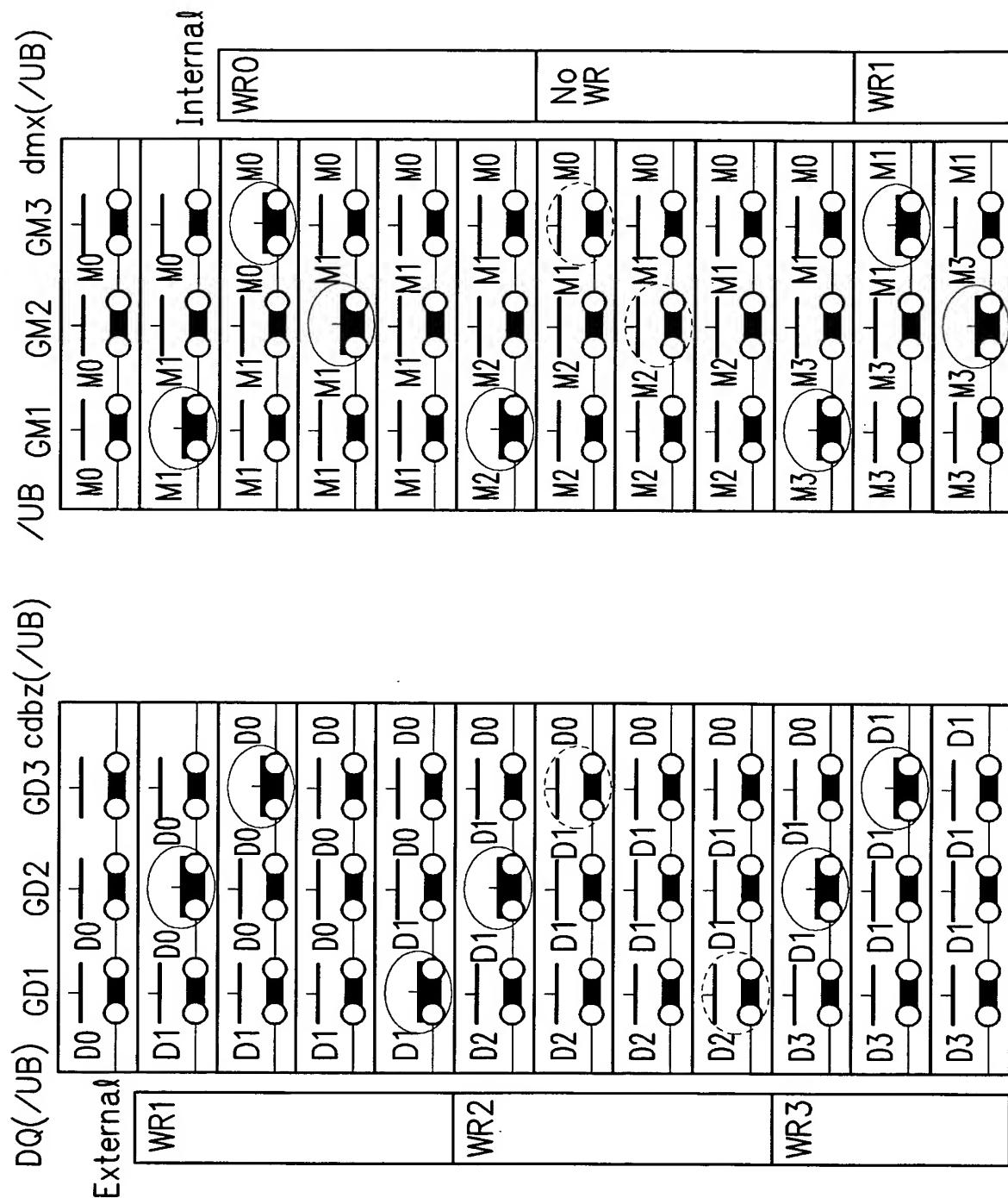
動作モード2b

【図 16】



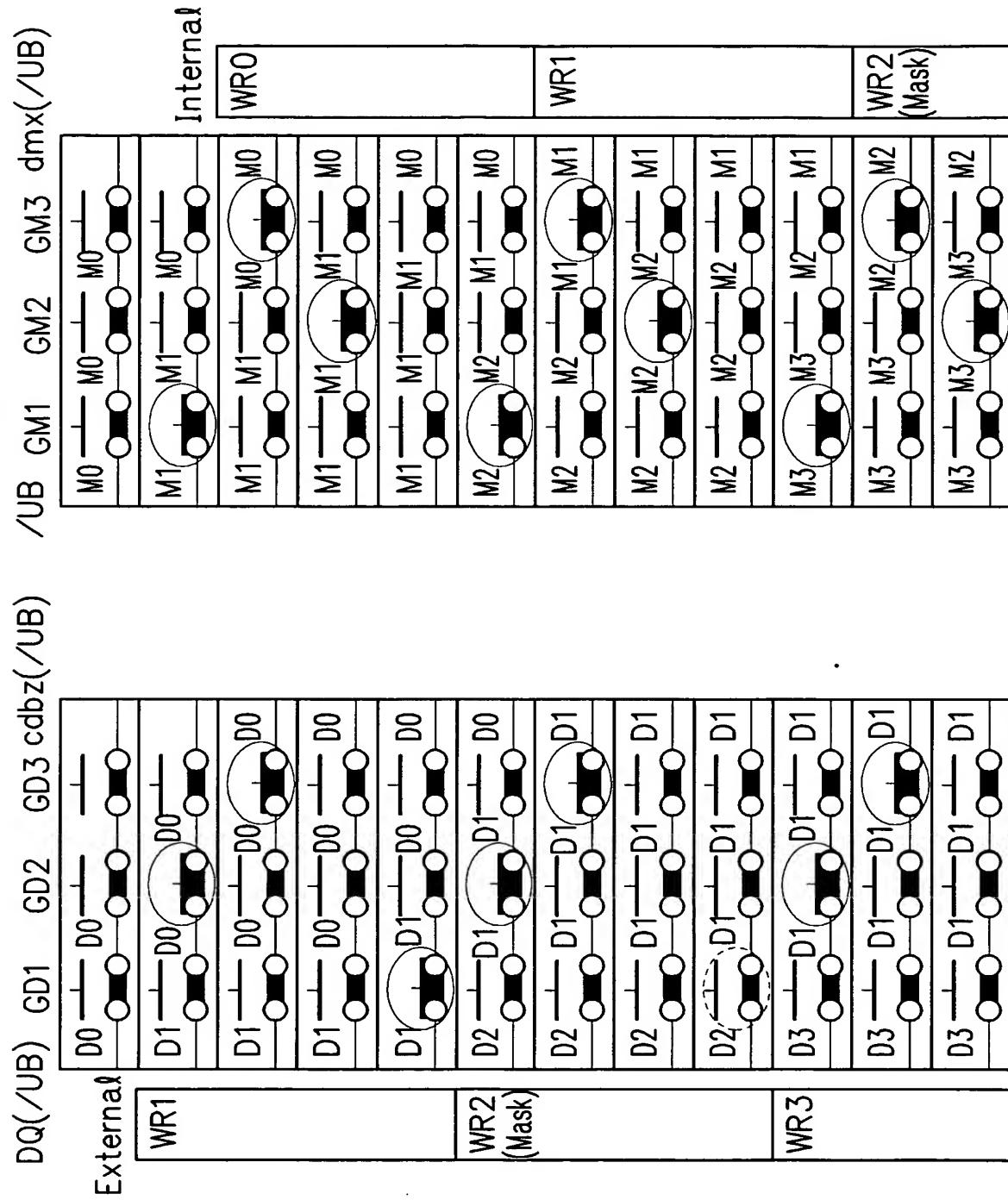
本実施形態での動作モード

【図 17】



動作モード2c

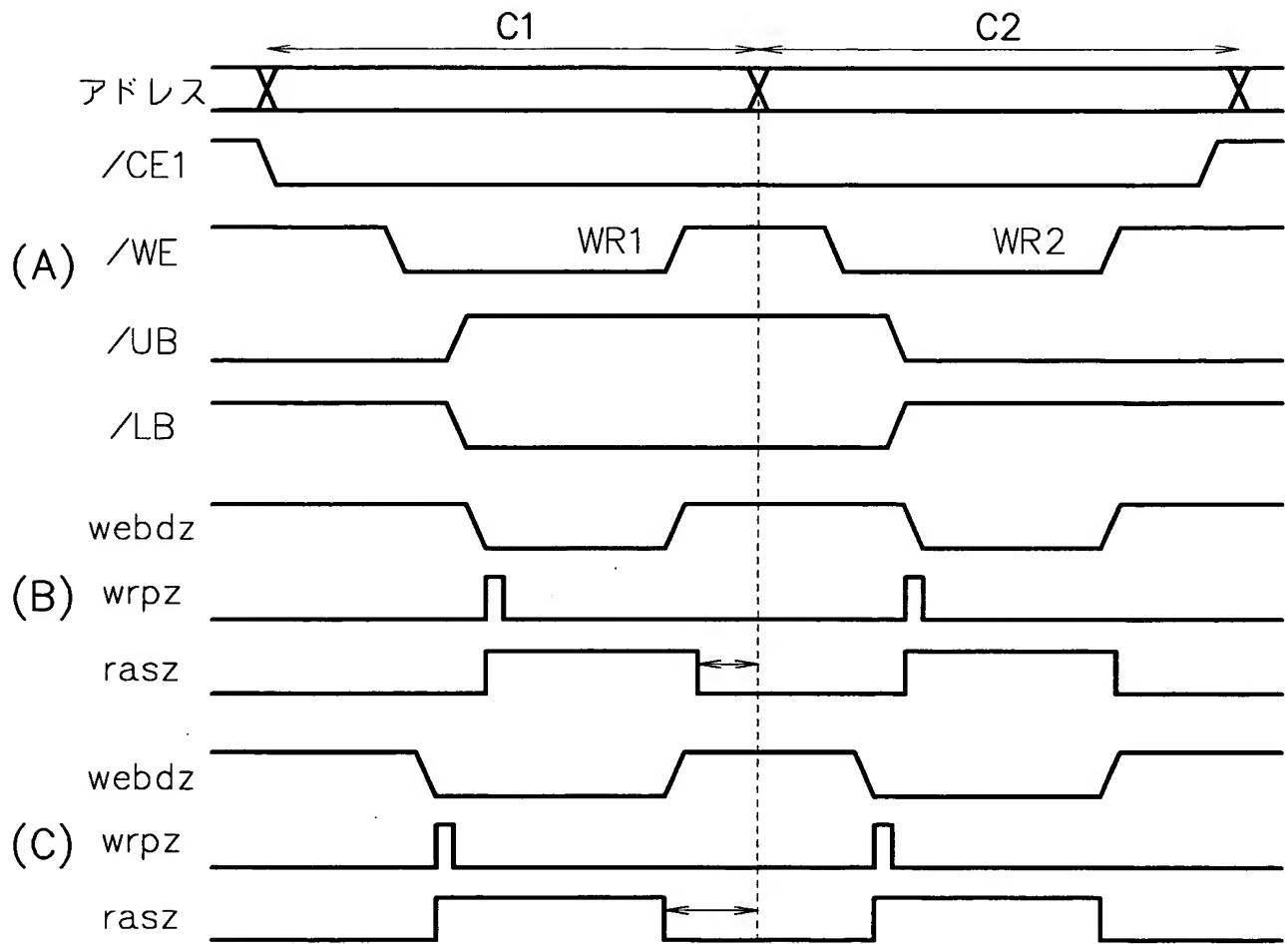
【図 18】



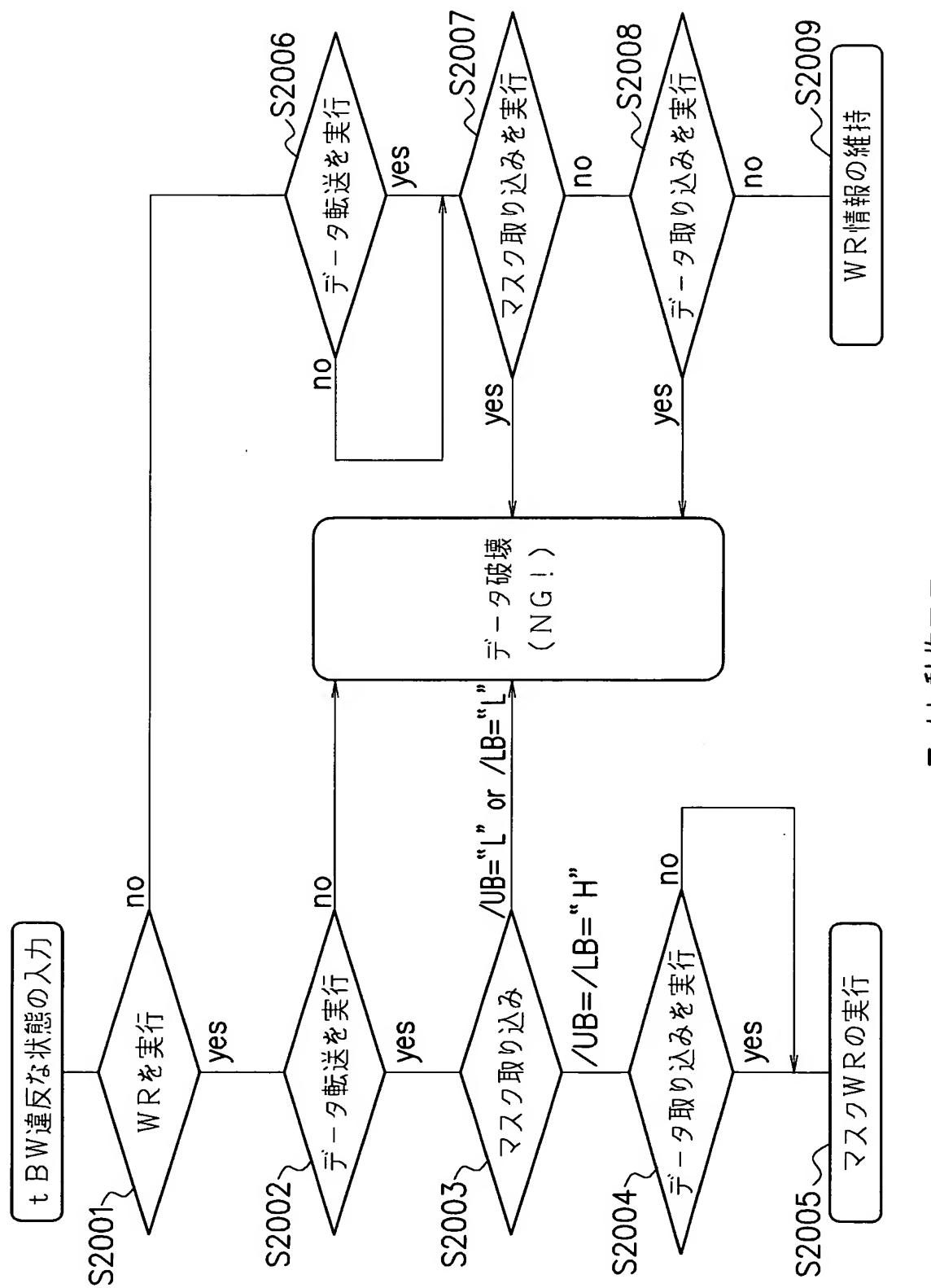
動作モード 2 d



【図 19】



【図20】



【書類名】要約書

【要約】

【課題】 ライト動作を遅らせることなくデータ破壊を防止することができるメモリ装置を提供することを課題とする。

【解決手段】 入力されるデータを第1のバッファにバッファリングするためのデータ取り込みゲート（G D 1）と、第1のバッファのデータを入力して第2のバッファにバッファリングするためのデータ転送ゲート（G D 2）と、第2のバッファのデータをデータバスに出力するためのデータライトゲート（G D 3）と、データバス上のデータをライトして記憶するためのメモリセルとを有するメモリ装置が提供される。制御回路は、ライトインペーブル信号が活性化してからデータマスク信号が変化するまでの間の時間に応じて、データ取り込みゲートの制御により第1のバッファにデータを入力せず、かつデータ転送ゲートの制御により第2のバッファにデータを入力する。

【選択図】 図16

特願 2003-378326

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住所
神奈川県川崎市中原区上小田中4丁目1番1号
氏名 富士通株式会社